

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶

G11C 16/02

(11) 공개번호 특2000-0023177

(43) 공개일자 2000년04월25일

(21) 출원번호 10-1999-0039505

(22) 출원일자 1999년09월15일

(30) 우선권주장 98-261303 1998년09월16일 일본(JP)

99-11743 1999년01월20일 일본(JP)

(71) 출원인 소니 가부시끼 가이샤 이데이 노부유키

일본국 도쿄도 시나가와구 키타시나가와 6초메 7반 35고

(72) 발명자 노부카타히로미

일본국도쿄도시나가와구키타시나가와6초메7반35고소니가부시끼가이샤내

(74) 대리인 박종길, 김재만

심사청구: 없음

(54) 불휘발성 반도체 기억장치, 불휘발성 반도체 기억 장치의베리파이방법 및 독출방법

요약

다치(多値)의 데이터를 메모리셀에 기록하는 플래시형의 비휘발성 반도체기억장치에 있어서, 기록 후 데이터 베리파이(검증)시 스레시홀드 전압의 분포상태에 따라서 워드선 전압이 설정되고, 래치회로에 래치된 데이터에 따라서 비트선의 프리차지가 제어되고, 메모리셀의 스레시홀드 전압이 워드선에 인가된 전압을 초과했는지 여부는 전류가 메모리셀로 충분히 유입되었는지 여부에 따라서 검출되고, 래치회로의 상태가 검출 출력에 의하여 확정되고, 데이터가 충분히 기록되면 소정 데이터가 래치회로 내로 설정되도록 제어가 이루어진다. 독출시에 있어서는, 워드선 전압이 스레시홀드 전압의 분포상태에 따라서 설정되고, 래치회로의 상태는 전류가 메모리셀로 충분히 유입되었는지 여부에 따라서 확정되고, 독출 데이터가 래치회로 내로 설정되도록 제어가 이루어진다. 따라서 래치회로를 구성하는 소자의 수가 감소된다

대표도

도7

색인어

불휘발성 반도체 기억장치, 베리파이방법, 독출방법.

명세서

도면의 간단한 설명

도 1은, 종래의 4치 기록의 불휘발성 반도체 장치의 일례의 회로도이다.

도 2는 종래의 4치 기록의 불휘발성 반도체 장치에 있어서의 베리파이 시의 설명에 사용하는 타이밍도이다.

도 3은 종래의 4치 기록의 불휘발성 반도체 장치에 있어서의 독출 시의 설명에 사용하는 타이밍도이다.

도 4는 종래의 8치 기록의 불휘발성 반도체 장치의 일례의 회로도이다.

도 5는 종래의 8치 기록의 불휘발성 반도체 장치의 베리파이의 설명에 사용하는 타이밍도이다.

도 6은 종래의 8치 기록의 불휘발성 반도체 장치의 독출의 설명에 사용하는 타이밍도이다.

도 7은 본 발명의 제1 실시형태를 나타낸 회로도이다.

도 8 (A),(B),(C)는 본 발명의 제1 실시형태의 동작설명에 사용하는 약선도(略線圖)이다.

도 9는 본 발명의 제1 실시형태에 있어서의 기록 시의 설명에 사용하는 타이밍도이다.

도 10은 본 발명의 제1 실시형태에 있어서의 베리파이 시의 설명에 사용하는 타이밍도이다.

도 11은 본 발명의 제1 실시형태에 있어서의 독출 시의 설명에 사용하는 타이밍도이다.

도 12는 본 발명의 제2 실시형태를 나타낸 회로도이다.

- 도 13은 메모리 어레이의 설명에 사용하는 회로도이다.
 도 14는 8치의 기록레벨의 설명에 사용하는 악선도이다.
 도 15는 본 발명의 제2 실시형태에 있어서의 기록 시의 설명에 사용하는 타이밍도이다.
 도 16은 본 발명의 제2 실시형태에 있어서의 베리파이 시의 설명에 사용하는 타이밍도이다.
 도 17 (A),(B)는 전압공급단자에 주는 전압의 설명에 사용하는 악선도이다.
 도 18은 본 발명의 제2 실시형태에 있어서의 독출 시의 설명에 사용하는 타이밍도이다.
 도 19는 본 발명의 제3 실시형태를 나타낸 회로도이다.
 도 20은 본 발명의 제3 실시형태에 있어서의 베리파이 시의 설명에 사용하는 타이밍도이다.
 도 21은 본 발명의 제3 실시형태에 있어서의 독출 시의 설명에 사용하는 타이밍도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 플래시형의 메모리셀에 예를 들면 4치(值)(2비트) 또는 8치(3비트)의 데이터를 기록하는 다치형(多值型) 구성에 사용하기에 적합한 불휘발성 반도체 기억장치, 불휘발성 반도체 기억장치의 베리파이방법 및 독출방법에 관한 것이다.

플래시메모리 등의 불휘발성 반도체 기억장치에 있어서는, 1개의 메모리셀 트랜지스터에 "0", "1"의 2개의 값을 취하는 데이터를 기록하는 2치형의 셀 구조가 통상이다. 그러나, 2치형의 구성의 반도체기억장치에서는, 기억용량에 한계가 있다. 특히, 이와 같은 반도체기억장치는, 비디오데이터나, 오디오데이터의 기록에 사용하는 것이 생각되어 왔고, 장시간의 비디오데이터나, 오디오데이터를 기록할 수 있도록 한 것이 요구되어 왔다. 그래서, 1개의 메모리셀에 다치의 데이터를 기록할 수 있도록 하는 것이 제안되어 있다.

그런데, 1개의 셀에 대한 기억레벨을 예를 들면 4치 또는 8치로 하면, 베리파이를 위한 회로나, 독출을 위한 회로가 복잡해져, 회로규모가 커진다고 하는 문제가 생기고 있다.

도 1은, 이미 출원인에 의해 제안되어 있는 기억 다치 레벨이 4치에 대응한 불휘발성 반도체 기억장치의 일례이다. 도 1에 나타난 바와 같이, 이 불휘발성 반도체 기억장치는, 메모리셀(211)과, 비트선 전압발생회로(212)와, 독출/베리파이 제어회로(213)에 의해 구성된다.

메모리셀(211)은, 메모리 스트링을 복수 매트릭스형으로 배열한 구성으로 되어 있다. 한쪽의 메모리 스트링은 비트선(BL0)에 접속되고, 다른 쪽의 메모리 스트링은 비트선(BL1)에 접속된다.

메모리 스트링은, 플로팅게이트를 가지는 불휘발성 반도체 기억장치로 이루어지는 메모리트랜지스터가 직렬로 접속된 NAND 스트링으로 이루어진다. 이 NAND 스트링의 메모리트랜지스터의 드레인이 선택게이트를 각각 통하여 비트선(BL0),(BL1)에 접속된다. 동일 행의 메모리셀의 제어게이트가 공통의 워드선에 접속된다. 셀프 부스트(self boost)를 사용하여 4치의 다치 데이터가 페이지 단위로 메모리셀에 기입된다.

비트선 전압발생회로(212)는, NMOS트랜지스터(n101~ n108) 및 인버터의 일출력끼리를 결합하여 이루어지는 래치회로(LQ2),(LQ1)에 의해 구성된다. 또, 비트선 전압발생회로(212)로부터는, VB1, VB2의 공급라인이 도출된다.

비트선 전압발생회로(212)에 의해, 기입시에, 기입데이터에 따른 비트선 전압이 발생되어, 메모리어레이(211)의 메모리셀에 부여된다. 또, 비트선 전압발생회로(212)에는, 래치회로(LQ2),(LQ1)가 포함되어 있다. 베리파이스에는, 비트선 전압발생회로(212)의 래치회로(LQ2),(LQ1)의 기억노드(Q2),(Q1)는, 메모리어레이(211) 메모리셀에 기입이 충분히 행해지면, "11"로 설정된다. 독출시에는, 메모리어레이 (211)의 메모리셀의 스레시홀드가 검출되어 데이터의 독출이 행해진다. 이 때, 래치회로(LQ2),(LQ1)의 기억노드(Q2),(Q1)에는, 독출된 데이터가 격납된다.

독출/베리파이 제어회로(213)는, NMOS 트랜지스터(n109) ~(n119)로 구성된다. 이 독출/베리파이 제어회로(213)는, 독출시 또는 베리파이스에, 래치회로 (LQ2), (LQ1)의 상태를 제어하는 것이다. 독출/베리파이 제어회로(213)로부터는, 신호(ϕ LAT1)-(ϕ LAT4)의 공급라인이 도출된다. 이 신호의 (ϕ LAT1)-(ϕ LAT4)의 공급라인에, 펄스형의 신호가 공급된다. 독출/베리파이 제어회로(213)의 NMOS 트랜지스터(n109) ~(n110)의 게이트전극은, 노드 SA에 접속되어 있다. 노드 SA는 메모리어레이(211)의 메모리셀의 스레시홀드를 검출하기 위한 노드로 된다.

노드 SA와 비트선(BL0)과의 사이에는, 고내압의 NMOS 트랜지스터(H103)가 접속되어 있다. 또, 노드 SA와 비트선(BL1)과의 사이에는, 고내압의 NMOS 트랜지스터(H104)가 접속되어 있다. NMOS 트랜지스터(H103)의 게이트전극에 어드레스디코드 신호 AnB가 공급된다. NMOS 트랜지스터(H104)의 게이트전극에 어드레스디코드신호 AnN가 공급된다. 그리고, 전원전압 Vcc(예를 들면, 3.3 V)의 공급라인과 비트선(BL0)과의 사이에는, 고내압의 NMOS 트랜지스터(H101)가 접속되어 있고, 전원전압 Vcc의 공급라인과 비트선(BL1)과의 사이에는, 고내압의 NMOS 트랜지스터(H102)가 접속되어 있다. NMOS 트랜지스터(H101)의 게이트전극에 제어신호 INHB가 공급된다. NMOS 트랜지스터(H102)의 게이트전극에 제어신호 INHN가 공급된다.

노드 SA와 접지라인 GND와의 사이에, NMOS 트랜지스터(n102)가 접속된다. 노드 SA와 전원전압 Vcc의 공급

라인과의 사이에, PMOS 트랜지스터(p101)가 접속된다. NMOS 트랜지스터(n102)의 게이트전극에는, 리셋신호(RST1)가 공급된다. PMOS 트랜지스터(p101)의 게이트전극에는, 신호 Vref가 공급된다.

노드 SA와 비트선 전압발생회로(212)와의 사이에는, NMOS 트랜지스터(n101)가 설치되어 있다. 즉, NMOS 트랜지스터(n101)의 드레인이 노드 SA에 접속된다. NMOS 트랜지스터(n101)의 소스가 NMOS 트랜지스터(n103),(n105),(n107)의 드레인에 접속된다. NMOS 트랜지스터(n101)의 게이트전극에는, 제어신호 PGM이 공급된다.

NMOS 트랜지스터(n101)의 소스와 전압 VB1의 공급라인과의 사이에, NMOS 트랜지스터(n105),(n106)가 직렬로 접속된다. NMOS 트랜지스터(n101)의 소스와 전압 VB2의 라인과의 사이에, NMOS 트랜지스터(n107),(n108)가 직렬로 접속된다. NMOS 트랜지스터(n101)의 소스와 접지라인과의 사이에, NMOS 트랜지스터(n103),(n104)가 직렬로 접속된다.

래치회로(LQ2),(LQ1)는, 각각 기억노드(Q2),(Q1)과, 그 반전기억노드 (/Q2), (/Q1)를 가지고 있다. 그리고, /는 반전을 나타내는 바를 의미하고 있다.

래치회로(LQ2)의 반전기억노드(/Q2)는, NMOS 트랜지스터(n104),(n106)의 게이트전극에 접속된다. 래치회로(LQ2)의 기억노드(Q2)는, NMOS 트랜지스터(n108)의 게이트에 접속된다.

래치회로(LQ1)의 반전노드(/Q1)는, NMOS 트랜지스터(n103),(n107)의 게이트전극에 접속된다. 래치회로(LQ1)의 기억노드(Q1)은 NMOS 트랜지스터(n105)의 게이트전극에 접속된다.

또, 래치회로(LQ2)의 기억노드(Q2), 래치회로(LQ1)의 기억노드(Q1)의 각각과 접지라인과의 사이에, NMOS 트랜지스터(n111),(n112)가 각각 접속된다. NMOS 트랜지스터(n111),(n112)의 게이트전극이 리셋신호 RST2의 공급라인에 접속된다.

독출/베리파이 제어회로(213)에 있어서, NMOS 트랜지스터(n109),(n110)의 게이트전극은, 노드 SA에 접속된다. NMOS 트랜지스터(n109)의 드레인이 래치회로(LQ2)의 반전기억노드(/Q2)에 접속된다. NMOS 트랜지스터(n110)의 드레인이 래치회로(LQ1)의 반전기억노드(/Q1)에 접속된다.

NMOS 트랜지스터(n109)의 소스와 접지라인과의 사이에, 직렬 접속된 NMOS 트랜지스터(n113),(n114)가 접속된다. 또, NMOS 트랜지스터(n113)에 병렬로 NMOS 트랜지스터(n115)가 접속된다.

NMOS 트랜지스터(n110)의 소스와 접지라인과의 사이에, NMOS 트랜지스터(n118),(n119)가 직렬로 접속되는 동시에, 이와 병렬적으로, NMOS 트랜지스터(n116),(n117)가 직렬로 접속된다.

독출/베리파이 제어회로(213)로부터는, 신호(ϕ LAT1)-(ϕ LAT4)의 공급라인이 도출된다. NMOS 트랜지스터(n119)의 게이트전극이 신호(ϕ LAT1)의 공급라인에 접속된다. NMOS 트랜지스터(n117)의 게이트전극이 신호(ϕ LAT2)의 공급라인에 접속된다. NMOS 트랜지스터(n114)의 게이트전극이 신호(ϕ LAT3)의 공급라인에 접속된다. NMOS 트랜지스터(n113)의 게이트전극이 신호(ϕ LAT4)의 공급라인에 접속된다.

래치회로(LQ2)의 반전기억노드(/Q2)는, NMOS 트랜지스터(n116)의 게이트전극에 접속된다. 래치회로(LQ2)의 기억노드(Q2)는, NMOS 트랜지스터(n118)의 게이트전극에 접속된다. 래치회로(LQ1)의 접속노드는, NMOS 트랜지스터(n115)의 게이트전극에 접속된다.

래치회로(LQ2)의 기억노드(Q2)가 도시하지 않지만, 소정의 트랜지스터를 통하여 데이터버스라인에 접속된다. 또, 래치회로(LQ1)의 기억노드(Q1)가 도시하지 않지만, 소정의 트랜지스터를 통하여 데이터버스라인에 접속된다.

다음에, 기입동작을 설명한다. 스탠바이시에는, 신호 PGM이 로레벨에 설정되고, NMOS 트랜지스터(n101)가 비도통상태로 유지되어, 비트선(BL0),(BL1)이 비트선 전압발생회로(212)의 래치회로(LQ2),(LQ1)로부터 단절되어 있다.

그리고, 리셋신호(RST1)가 하이레벨로 설정되어, 신호 AnB,AnN가 ($V_{cc} - V_{th}$)로 설정되어, 비트선(BL0),(BL1)이 접지레벨에 설정되어 있다. 그리고, 이 때 신호 INHB,INH가 로레벨로 설정되어 있다.

이 상태에서 기입이 기동된 경우, 데이터버스로부터의 기입데이터가 래치회로(LQ2),(LQ1)에 입력되어 유지된다.

그 후, 신호(RST1)가 로레벨로 전환되어, 비트선(BL0),(BL1)이 접지라인으로부터 단절된다. 그리고, 신호 AnB,AnN가 V_{cc} 이상의 하이레벨(예를 들면 독출시의 버스전압)로 설정되는 동시에, 신호 Vref가 로레벨로 되어, PMOS 트랜지스터 (p101)가 도통상태로 유지된다. 이로써, 모든 비트선(BL0),(BL1)이 전원전압 V_{cc} 에 충전된다.

기입시에는, 어드레스신호로 선택되지 않은 쪽의 어드레스, 예를 들면 AnNI 접지레벨로 되고, 동시에 제어신호 INHNI가 V_{cc} 이상의 하이레벨로 설정된다. 그리고, 신호 PGM가 하일레벨로 설정되어, 전압 VB2 및 전압 VB1이 ($V_{B2} > V_{B1} > 0$)의 관계의 소정의 전압에 설정된다.

기입데이터가 "00"의 경우에는, 래치회로(LQ2) 및 (LQ1)의 반전노드(/Q2) 및 (/Q1)은, 하이레벨이다. 그러므로, NMOS 트랜지스터(n103),(n104)가 도통상태로 되고, 비트선(BL0)은 접지레벨로 된다.

기입데이터가 "01"의 경우에는, NMOS 트랜지스터(n105),(n106)가 도통상태로 되고, 비트선(BL0)은, 전압(VB1)에 설정된다.

기입데이터가 "10"의 경우에는, NMOS 트랜지스터(n107),(n108)가 도통상태로 되고, 비트선(BL0)은, 전압(VB2)에 설정된다.

기입데이터가 "11"의 경우에는, 전압(VB2),(VB1) 및 접지라인과의 사이의 어떤 버스도 비트선과 차단된다. 그

러므로, 비트선의 전압은 V_{cc} 레벨로 유지된다.

이상의 프로세스에 의해, 선택비트선(BL0)이 기입데이터에 따른 전압으로 설정된 후, 워드선이 기입전압으로 설정되고, 비선택의 워드선이 기입버전압으로 설정되어, 기입이 행해진다.

다음에, 베리파이 독출동작에 대하여 도 2의 타이밍차트에 따라서 설명한다. 그리고, 짝수 비트선측이 선택되어 있는 것으로 한다.

베리파이 동작에서는, 1회의 기입이 종료할 때마다 "00", "01", "10"이 기입체크가 행해진다.

이 예에서는, 높은 레벨로부터 베리파이가 행해진다. 즉, 워드선 전압을 $V_{VF3} \rightarrow V_{VF2} \rightarrow V_{VF1}$ 으로 순차 낮추어 베리파이가 행해진다. 이하, 베리파이동작을 구체적으로 설명한다.

먼저, 신호 V_{ref} 가 로레벨로 설정되고, PMOS 트랜지스터($n101$)가 도통상태로 유지되는 동시에, 신호 $RST1$ 이 로레벨로 설정되고, NMOS 트랜지스터($n102$)가 비도통상태로 유지된다. 또, 신호 AnB 가 $V_{AnB}(V_{AnB} = V_{cc} - V_{th})$ 로 설정되고, 비트선의 전압이 신호 AnB 의 레벨로부터 백바이어스가 걸린 스레시홀드전압 V_{th} 만큼 감하한 전압으로 충전된 후, NMOS 트랜지스터($H103$)는 컷오프되고, 노드 SA는 전원전압 V_{cc} 로 충전된다.

일정시간 경과 후, 신호 V_{ref} 는, 비트선의 리크전류를 보상하는 만큼의 전류를 PMOS 트랜지스터($p101$)에 흐를 수 있는 전압으로 설정하고, 비선택메모리셀의 워드선에 $P5V$ 가 설정되고, 선택셀이 접속된 워드선에 V_{VF3} 가 인가된다.

먼저, 기입데이터가 "00"의 베리파이가 행해진다. 이 때, 선택워드선 전압은 V_{VF3} 로 설정된다.

여기서, 메모리셀의 스레시홀드전압 V_{th} 가 워드선전압 V_{VF3} 보다 큰($V_{th} > V_{VF3}$) 경우에는, 셀에 전류가 흐르지 않으므로, 비트선 전압은 변화하지 않고, 노드 SA는 전원전압 V_{cc} 에 유지되고, NMOS 트랜지스터($n109$), ($n110$)가 도통상태로 유지된다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ_{LAT1}), (ϕ_{LAT3}), (ϕ_{LAT4})가 도 2에 나타난 타이밍에서 하이레벨로 설정된다.

신호(ϕ_{LAT3}) 및 (ϕ_{LAT4})가 하이레벨의 기간에서는, NMOS 트랜지스터($n113$), ($n114$)가 함께 도통상태로 전환된다. 이 때, NMOS 트랜지스터($n109$)가 도통상태이므로, 래치회로(LQ2)의 반전노드($Q2$)가 로레벨로 되어, 래치회로(LQ2)의 노드($Q2$)가 하이레벨로 반전한다.

신호(ϕ_{LAT1})가 하이레벨의 기간에서는, NMOS 트랜지스터($n119$)가 도통상태로 전환된다. 이 때, NMOS 트랜지스터($n118$)의 게이트전극이 래치회로(LQ2)의 노드의 레벨이 반전함으로써 하이레벨로 설정되어 있으므로, NMOS 트랜지스터($n118$)도 도통상태로 전환되고, 래치회로(LQ1)의 반전노드($Q1$)가 로레벨로 되고, 래치회로(LQ1)의 노드($Q1$)가 하이레벨로 반전한다.

이상에 의해, 기입데이터 "00"의 메모리에서, 그 스레시홀드전압 V_{th} 이 워드선 전압 V_{VF3} 보다 클($V_{th} > V_{VF3}$) 경우, 래치회로(LQ2), (LQ1)의 래치데이터는 "11"로 반전하고, 이후, 재기입에서는 비트선 BL은 전원전압 V_{cc} , 채널은 비기입 전위에 부스트되어 기입되지 않는다.

한편, 메모리셀의 스레시홀드 전압 V_{th} 이 워드선 전압 V_{VF3} 보다 작을 ($V_{th} < V_{VF3}$) 경우에는, 리크보상전류보다 큰 셀전류가 흘러 비트선 전압은 강하하고, NMOS 트랜지스터($H103$)가 온하여, 전하의 재배분이 일어나고, 노드 SA의 전위는 비트선 전압과 대략 동등($V_{AnB} - V_{th}$)된다. 노드 SA의 전위가 ($V_{AnB} - V_{th}$)에서는, NMOS 트랜지스터($n109$), ($n110$)는 완전히 도통할 수는 없다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ_{LAT1}), (ϕ_{LAT3}), (ϕ_{LAT4})가 도 2에 나타난 타이밍에서 하이레벨로 설정된다.

신호(ϕ_{LAT3}) 및 (ϕ_{LAT4})가 하이레벨의 기간에서는, NMOS 트랜지스터($n113$), ($n114$)가 함께 도통상태로 전환된다. NMOS 트랜지스터($n113$), ($n113$)가 도통상태로 전환되지만, NMOS 트랜지스터($n109$)가 완전히 도통하지 않으므로, 래치회로(LQ2)의 노드($Q2$)의 반전은 일어나지 않는다.

신호(ϕ_{LAT1})가 하이레벨의 기간에서는, NMOS 트랜지스터($n119$)가 도통상태로 전환된다. 이 때, NMOS 트랜지스터($n116$)이 비도통상태이므로(래치회로(LQ2)의 노드의 반전은 일어나지 않으므로), 래치회로(LQ1)의 반전은 일어나지 않는다.

이상에 의해, 기입데이터 "00"의 메모리에서, 그 스레시홀드전압 V_{th} 이 워드선 전압 V_{VF3} 보다 작을($V_{th} < V_{VF3}$) 경우, 래치회로(LQ2), (LQ1)의 래치데이터는 "00"인채 변화하지 않고, 재기입시에, 비트선 전압이 기입 전위에 설정되어 기입이 행해진다.

다음에, 기입데이터가 "01"의 베리파이가 행해진다. 이 때, 선택 워드선 전압은 V_{VF2} 로 설정된다.

여기서, 메모리셀의 스레시홀드전압 V_{th} 가 워드선전압 V_{VF2} 보다 클($V_{th} > V_{VF2}$) 경우에는, 셀에 전류가 흐르지 않으므로, 비트선 전압은 변화하지 않고, 노드 SA는 전원전압 V_{cc} 에 유지되고, NMOS 트랜지스터($n109$), ($n110$)가 도통상태로 유지된다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ_{LAT3})가 도 2에 나타난 타이밍에서 하이레벨로 설정된다.

신호(ϕ_{LAT3})가 하이레벨의 기간에서는, NMOS 트랜지스터($n114$)가 도통상태로 전환된다. 이 때, NMOS 트랜지스터($n115$)의 게이트전극이 래치회로(LQ1)의 ($Q1$)출력에 따라 하이레벨로 설정되어 있으므로, NMOS 트랜지스터($n115$)도 도통상태로 전환되어, 래치회로(LQ2)의 반전노드($Q1$)가 로레벨로 되고, 래치회로(LQ2)의 노드($Q1$)가 하이레벨로 반전한다.

이상에 의해, 기입데이터 "01"의 메모리셀에서, 그 스레시홀드 전압 V_{th} 이 워드선 전압 V_{WF2} 보다 클($V_{th} > V_{WF2}$) 경우, 래치회로(LQ2),(LQ1)의 래치데이터는 "11"로 반전하고, 이후, 재기입에서는 비트선 BL은 전원전압 V_{cc} , 채널은 비기입 전위에 부스트되어 기입되지 않는다.

한편, 메모리셀의 스레시홀드 전압 V_{th} 이 워드선 전압 V_{WF2} 보다 작을 ($V_{th} < V_{WF2}$) 경우에는, 리크보상전류보다 큰 셀전류가 흘러 비트선 전압은 강하하고, NMOS 트랜지스터(H103)가 온하여, 전하의 재배분이 일어나고, 노드 SA의 전위는 비트선 전압과 대략 동등($V_{AnB} - V_{th}$)하게 된다. 노드 SA의 전위가 ($V_{AnB} - V_{th}$)에서는, NMOS 트랜지스터(n109),(n110)는 완전히 도통할 수는 없다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ_{LAT3})가 도 2에 나타난 타이밍에서 하이레벨로 설정된다.

신호(ϕ_{LAT3})가 하이레벨의 기간에서는, NMOS 트랜지스터(n114)가 도통상태로 전환된다. 이 때, NMOS 트랜지스터(n109)가 완전히 도통하지 않으므로, 래치회로(LQ2)의 노드(Q2)의 반전은 일어나지 않는다.

다음에, 기입데이터가 "10"의 베리파이가 행해진다. 이 때, 선택 워드선 전압은 V_{WF1} 로 설정된다.

여기서, 메모리셀의 스레시홀드 전압 V_{th} 가 워드선 전압 V_{WF1} 보다 클($V_{th} > V_{WF1}$) 경우에는, 셀에 전류가 흐르지 않으므로, 비트선 전압은 변화하지 않고, 노드 SA는 전원전압 V_{cc} 에 유지되고, NMOS 트랜지스터(n109),(n110)가 도통상태로 유지된다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ_{LAT1})가 도 2에 나타난 타이밍에서 하이레벨로 설정된다.

신호(ϕ_{LAT1})가 하이레벨의 기간에서는, NMOS 트랜지스터(n119)가 도통상태로 전환된다. 이 때, NMOS 트랜지스터(n118)의 게이트전극이 래치회로(LQ2)의 Q2출력에 따라 하이레벨로 설정되어 있으므로, NMOS 트랜지스터(n118)도 도통상태로 전환되어, 래치회로(LQ1)의 반전노드(/Q1)가 로레벨로 되고, 래치회로(LQ1)의 노드(Q1)가 하이레벨로 반전한다.

이상에 의해, 기입데이터가 "10"의 메모리셀에서, 그 스레시홀드 전압 V_{th} 이 워드선 전압 V_{WF1} 보다 클($V_{th} > V_{WF1}$) 경우, 래치회로(LQ2),(LQ1)의 래치데이터는 "11"로 반전하고, 이후, 재기입에서는 비트선 BL은 전원전압 V_{cc} , 채널은 비기입 전위에 부스트되어 기입되지 않는다.

한편, 메모리셀의 스레시홀드 전압 V_{th} 이 워드선 전압 V_{WF1} 보다 작을 ($V_{th} < V_{WF1}$) 경우에는, 리크보상전류보다 큰 셀전류가 흘러 비트선 전압은 강하하고, NMOS 트랜지스터(H103)가 온하여, 전하의 재배분이 일어나고, 노드 SA의 전위는 비트선 전압과 대략 동등($V_{AnB} - V_{th}$)하게 된다. 노드 SA의 전위가 ($V_{AnB} - V_{th}$)에서는, NMOS 트랜지스터(n109),(n110)는 완전히 도통할 수는 없다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ_{LAT1})가 도 2에 나타난 타이밍에서 하이레벨로 설정된다.

신호(ϕ_{LAT1})가 하이레벨의 기간에서는, NMOS 트랜지스터(n119)가 도통상태로 전환된다. 이 때, NMOS 트랜지스터(n110)가 완전히 도통하지 않으므로, 래치회로(LQ1)의 노드(Q1)의 반전은 일어나지 않는다.

이상에 의해, 기입데이터가 "10"의 메모리셀에서, 그 스레시홀드 전압 V_{th} 이 워드선 전압 V_{WF1} 보다 작을($V_{th} < V_{WF1}$) 경우, 래치회로(LQ2),(LQ1)의 래치데이터는 "10" 인채 변화하지 않고, 재기입에, 비트선 전압이 기입 전위에 설정되어 기입이 행해진다.

그리고, 워드선 전압 V_{WF1} 에서의 베리파이가 종료한 단계에서, 모든 래치 데이터의 반전신호의 와이어드(wired) OR이 취해져, 1개라도 "0"이 있으면 와이어드 OR의 결과는 로레벨로 되어, 재기입 프로세스로 이행하고, 모두가 "1"로 되어 있으면, 기입이 종료한다. 이상의 기입 및 베리파이가사이클이 모든 메모리셀의 기입 종료와 반전되지만, 소정 회수에 달하기까지 반복된다.

다음에, 독출동작에 대하여 도 3의 타이밍차트에 따라서 설명한다. 독출시에는, 베리파이스와 마찬가지로, 높은 레벨로부터 독출이 행해진다. 즉, 워드선 전압을 $VRD3 \rightarrow VDR2 \rightarrow VDR1$ 으로 순차 내려서 독출이 행해진다. 그리고, 짝수비트선측이 선택되어 있는 것으로 한다.

독출시에는, 먼저, 독출동작에 앞서, 신호 $RST2$ 가 일정기간 하이레벨로 유지되어 래치회로(LQ2),(LQ1)의 리셋이 행해진다. 그리고, 베리파이스와 마찬가지로, 신호 V_{ref} 가 로레벨로 설정되고, PMOS 트랜지스터(n101)가 도통상태로 유지되는 동시에, 신호 $RST1$ 이 로레벨로 설정되고, NMOS 트랜지스터(n102)가 비도통상태로 유지된다. 또, 신호 AnB 가 V_{AnB} ($V_{AnB} = V_{cc} - V_{th}$)로 설정되고, 비트선의 전압이 신호 AnB 의 레벨로부터 백바이어스가 걸린 스레시홀드 전압 V_{th} 만큼 강하한 전압으로 충전된 후, NMOS 트랜지스터(H103)는 컷오프되고, 노드 SA는 전원전압 V_{cc} 로 충전된다.

일정시간 경과 후, 신호 V_{ref} 는, 비트선의 리크전류를 보상하는 만큼의 전류를 PMOS 트랜지스터(p101)에 흐를 수 있는 전압으로 설정하고, 비선택메모리셀의 워드선에 $P5V$ 가 설정되고, 선택셀이 접속된 워드선에 $VRD3$ 가 인가된다.

워드선 전압이 $VRD3$ 에서의 독출의 결과, 메모리셀의 스레시홀드 전압 V_{th} 이 워드선 전압 $VRD3$ 보다 클($V_{th} > VRD3$) 경우, 셀전류가 흐르지 않으므로, 노드 SA는 전원전압 V_{cc} 로 유지된다. 이 때, NMOS 트랜지스터(n109),(n110)가 도통상태로 된다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 신호 (ϕ_{LAT3}), (ϕ_{LAT4}), (ϕ_{LAT1})가 도 3에 나타난 타이밍에서 하이레벨로 설정되어, NMOS 트랜지스터 (n113),(n114)가 도통상태로 설정된다.

메모리셀의 스레시홀드 전압 V_{th} 이 워드선 전압 $VDR3$ 보다 클 경우, NMOS 트랜지스터(n109)는 도통하고 있

다. 따라서, 래치회로(LQ2)의 반전노드(/Q2)가 "0"으로 되고, 래치회로(LQ2)가 "1"로 반전한다.

신호(ϕ_{LAT1})가 하이레벨로 설정되면, NMOS 트랜지스터(n119)가 도통상태로 설정된다. 이 때, NMOS 트랜지스터(n118)의 게이트전극이 래치회로(LQ2)의 Q1의 출력에 따라 하이레벨로 설정되어 있으므로, NMOS 트랜지스터(n118)도 도통상태로 전환되어 있다. 그리고, NMOS 트랜지스터(n110)는 도통하고 있다. 따라서, 신호(ϕ_{LAT1})에 설정되면, 래치회로(LQ1)의 반전노드(/Q2)가 "0"으로 되어, 래치회로(LQ1)의 노드(Q2)가 "1"로 반전한다.

이상에 의해, 메모리셀의 스레시홀드 전압 V_{th} 가 이 워드선 전압 $VRD3$ 보다 클($V_{th} > VRD3$)경우, 래치회로(LQ2),(LQ1)의 래치데이터가 "11"로 반전한다.

한편, 메모리셀의 스레시홀드 전압 V_{th} 이 워드선 전압 $VRD3$ 이하 ($V_{th} < VRD3$)이면, 리크보상전류보다 큰 셀전류가 흘러 비트선 전압은 강하하고, NMOS 트랜지스터(H103)가 도통상태로 되어, 전하의 재배분이 일어나고, 노드 SA의 전위는 비트선 전압과 대략 동등($V_{AnB} - V_{th}$)된다. 그러므로, NMOS 트랜지스터 (n109), (n110)는 완전히 도통하지 않는다.

그리고, 일정 시간 경과 후, 신호(ϕ_{LAT3}) 및 (ϕ_{LAT4})가 하이레벨로 설정되고, NMOS 트랜지스터(n113),(n114)가 도통상태로 설정되지만, NMOS 트랜지스터 (109)는 완전히는 도통하지 않는다. 따라서, 래치회로(LQ2)의 노드의 반전은 일어나지 않는다.

신호(ϕ_{LAT1})가 하이레벨로 설정되면, NMOS 트랜지스터(n119)가 도통상태로 설정된다. 그런데, NMOS 트랜지스터(n110)는 완전히는 도통하지 않는다. 따라서, 래치회로(LQ1)의 노드의 반전은 일어나지 않는다.

다음에, 워드선 전압이 $VRD2$ 에 설정되어 독출이 행해진다. 워드선 전압이 $VRD2$ 에서의 독출의 결과, 메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압 $VRD2$ 보다 클($V_{th} > VRD2$)경우, 셀전류가 흐르지 않으므로, 노드 SA는 전원전압 V_{cc} 로 유지된다. 이 때, NMOS 트랜지스터(n109),(n110)가 도통상태로 된다.

그리고, 일정시간 경과후, 펄스형의 신호인 신호(ϕ_{LAT3}) 및 (ϕ_{LAT4})가 하이레벨로 설정되고, NMOS 트랜지스터(n113),(n114)가 도통상태로 설정된다. 이 때, NMOS 트랜지스터(n109)는 도통하고 있으므로, 래치회로(LQ2)의 반전노드(/Q2)가 "0"으로 되고, 래치회로(LQ1)의 노드(Q2)가 "1"로 반전한다.

이상에 의해, 메모리셀의 스레시홀드 전압 V_{th} 가 이 워드선 전압 $VRD2$ 보다 클($V_{th} > VRD3$)경우, 래치회로(LQ2),(LQ1)의 래치데이터가 "10"으로 반전한다.

한편, 메모리셀의 스레시홀드 전압 V_{th} 이 워드선 전압 $VRD2$ 이하 ($V_{th} < VRD2$)이면, 리크보상전류보다 큰 셀전류가 흘러 비트선 전압은 강하하고, NMOS 트랜지스터(H103)가 도통상태로 되어, 전하의 재배분이 일어나고, 노드 SA의 전위는 비트선 전압과 대략 동등($V_{AnB} - V_{th}$)된다. 그러므로, NMOS 트랜지스터 (n109),(n110)는 완전히 도통하지 않는다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ_{LAT3}) 및 (ϕ_{LAT4})가 하이레벨로 설정되고, NMOS 트랜지스터(n113),(n114)가 도통상태로 설정된다. NMOS 트랜지스터(109)는 완전히는 도통하지 않으므로, 래치회로(LQ2)의 노드의 반전은 일어나지 않는다.

다음에, 워드선 전압이 $VRD1$ 에 설정되어 독출이 행해진다. 워드선 전압이 $VRD2$ 에서의 독출의 결과, 메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압 $VRD1$ 보다 클($V_{th} > VRD1$)경우, 셀전압이 흐르지 않으므로, 노드 SA는 전원전압 V_{cc} 로 유지된다. 이 때, NMOS 트랜지스터(n109),(n110)는 도통상태로 유지된다.

그리고, 일정시간 경과후, 펄스형의 신호인 신호(ϕ_{LAT2})가 하이레벨로 설정되고, NMOS 트랜지스터(n117)가도통상태로 설정된다. 이 때, NMOS 트랜지스터(n110)는 도통하고 있다. 또, NMOS 트랜지스터(n116)의 게이트전극이 래치회로(LQ2)의 (/Q2)출력에 따라 하이레벨로 되어 있으므로, NMOS 트랜지스터 (n116)도 도통상태로 설정된다. 따라서, 신호(ϕ_{LAT2})가 하이레벨로 설정되면, 래치회로(LQ1)의 반전노드(/Q2)가 "0"으로 되고, 래치회로(LQ1)의 노드(Q1)가 반전한다.

이상에 의해, 메모리셀의 스레시홀드 전압 V_{th} 가 이 워드선 전압 $VRD2$ 보다 클($V_{th} > VRD1$)경우, 래치회로(LQ2),(LQ1)의 래치데이터가 "01"로 반전한다.

한편, 메모리셀의 스레시홀드 전압 V_{th} 이 워드선 전압 $VRD1$ 이하 ($V_{th} < VRD1$)이면, 리크보상전류보다 큰 셀전류가 흘러 비트선 전압은 강하하고, NMOS 트랜지스터(H103)가 도통상태로 되어, 전하의 재배분이 일어나고, 노드 SA의 전위는 비트선 전압과 대략 동등($V_{AnB} - V_{th}$)된다. 그러므로, NMOS 트랜지스터(n109),(n110)는 완전히 도통하지 않는다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ_{LAT2})가 하이레벨로 설정되고, NMOS 트랜지스터(n117)가 도통상태로 설정된다. 그러나, NMOS 트랜지스터(110)는 완전히는 도통하지 않으므로, 래치회로(LQ1)의 노드의 반전은 일어나지 않는다.

또, 도 4는 앞서, 출원인에 의해 제안되어 있는 기억 다차레벨이 8치에 대응한 불휘발성 반도체기억장치의 일례이다. 이 불휘발성 반도체기억장치는 메모리어레이(111)와, 비트선 전압발생회로(112)와, 독출/베리파이 제어회로(113)에 의해 구성된다.

메모리셀(211)은, 메모리 스트링을 복수 매트릭스형으로 배열한 구성으로 되어 있다. 한쪽의 메모리 스트링은 비트선(BL0)에 접속되고, 다른 쪽의 메모리 스트링은 비트선(BL1)에 접속된다.

메모리 스트링은, 플로팅게이트를 가지는 불휘발성 반도체 기억장치로 이루어지는 메모리트랜지스터가 직렬로 접속된 NAND 스트링으로 이루어진다. 이 NAND 스트링의 메모리트랜지스터의 드레인이 선택게이트를 각각 통하여 비트선(BL0),(BL1)에 접속된다. 동일 행의 메모리셀의 제어게이트가 공통의 워드선에 접속된다. 셀프 부스트를 사용하여 8치의 다치 데이터가 페이지 단위로 메모리셀에 기입된다.

비트선 전압발생회로(212)는, NMOS트랜지스터(N101- N114) 및 인버터의 입출력가리줄 결합하여 이루어지는 래치회로(LQ2),(LQ1),(LQ0)에 의해 구성된다. 또, 비트선 전압발생회로(112)로부터는, 전압(VB0),(VB1),(VB2),(VB3)의 공급라인이 도출된다.

비트선 전압발생회로(112)에 의해, 기입시에, 기입데이터에 따른 비트선 전압이 발생되어, 메모리어레이(111)의 메모리셀에 부여된다. 또, 비트선 전압발생회로(112)에는, 래치회로(LQ2),(LQ1),(LQ0)가 포함되어 있다. 베리파이시에는, 비트선 전압발생회로(112)의 래치회로(LQ2),(LQ1),(LQ0)의 기억노드(Q2),(Q1),(Q0)는, 메모리어레이(111)의 메모리셀에 기입이 충분히 행해지면, "111"에 설정된다. 독출시에는, 메모리어레이 (211)의 메모리셀의 스레시홀드가 검출되어 데이터의 독출이 행해진다. 이 때, 래치회로(LQ2),(LQ1),(LQ0)의 기억노드(Q2),(Q1),(Q0)에는, 독출된 데이터가 디코드되어 설정되어 간다.

독출/베리파이 제어회로(113)는, NMOS 트랜지스터(N115) -(N141)로 구성된다. 이 독출/베리파이 제어회로(113)는, 독출시 또는 베리파이시에, 래치회로 (LQ2),(LQ1),(LQ0)의 상태를 제어하는 것이다. 독출/베리파이 제어회로(113)로부터는, 신호(ϕ LAT0)-(ϕ LAT9)의 공급라인이 도출된다. 이 신호의 (ϕ LAT0)-(ϕ LAT9)의 공급라인에, 펄스형의 신호가 공급된다. 독출/베리파이 제어회로 (113)의 NMOS 트랜지스터(N115)-(N116)의 게이트전극은, 노드 SA에 접속되어 있다. 노드 SA는 메모리어레이(111)의 메모리셀의 스레시홀드를 검출하기 위한 노드로 된다.

노드 SA와 비트선(BL0)과의 사이에는, 고내압의 NMOS 트랜지스터(H101) 및 (H103)가 직렬로 접속된다. 또, 노드 SA와 비트선(BL1)과의 사이에, 고내압의 NMOS 트랜지스터(H102) 및 (H104)가 직렬로 접속된다. NMOS 트랜지스터(H103)의 게이트전극에 어드레스디코드 신호 AIB가 공급된다. NMOS 트랜지스터(H104)의 게이트전극에 어드레스디코드신호 AIN가 공급된다. NMOS 트랜지스터(HN101),(HN102)의 게이트전극에, 제어신호 TRN가 공급된다.

노드 SA와 접지라인 GND와의 사이에, NMOS 트랜지스터(n101)가 접속된다. 노드 SA와 전원전압 Vcc(예를 들면, 3.3V)의 공급라인과의 사이에, PMOS 트랜지스터 (P101)가 접속된다. NMOS 트랜지스터(N101)의 게이트전극에는, 제어신호 DIS가 공급된다. PMOS트랜지스터(P101)의 게이트전극에는, 신호 Vref 가 공급된다.

노드 SA와 비트선 전압발생회로(212)와의 사이에는, NMOS 트랜지스터(N102)가 설치되어 있다. 즉, NMOS 트랜지스터(N102)의 드레인이 노드 SA에 접속된다. NMOS 트랜지스터(N102)의 소스가 NMOS 트랜지스터(N103),(N105),(N107),(N109)의 드레인에 접속된다. NMOS 트랜지스터(N102)의 게이트전극에는, 제어신호 PGM이 공급된다.

NMOS 트랜지스터(N102)의 소스와 전압 VB0의 공급라인과의 사이에, NMOS 트랜지스터(N103),(N104)가 직렬로 접속된다. NMOS 트랜지스터(N102)의 소스와 전압 VB1의 라인과의 사이에, NMOS 트랜지스터(N105),(N106)가 직렬로 접속된다. NMOS 트랜지스터(N102)의 소스와 전압 VB2의 공급라인과의 사이에, NMOS 트랜지스터 (N107),(N108)가 직렬로 접속된다. NMOS 트랜지스터(N102)의 소스와 전압 VB3의 공급라인과의 사이에, NMOS 트랜지스터 (N109),(N110),(N111)가 직렬로 접속된다.

래치회로(LQ2),(LQ1),(LQ0)는, 각각 기억노드(Q2),(Q1),(Q0)과, 그 반전기억노드 (/Q2),(/Q1),(/Q0)를 가지고 있다. 그리고, /는 반전을 나타내는 바를 의미하고 있다.

래치회로(LQ2)의 반전기억노드(/Q2)는, NMOS 트랜지스터(N104),(N106)의 게이트전극에 접속된다. 래치회로(LQ2)의 기억노드(Q2)는, NMOS 트랜지스터 (N107), (N109)의 게이트에 접속된다.

래치회로(LQ1)의 반전노드(/Q1)는, NMOS 트랜지스터(N103),(N108)의 게이트전극에 접속된다. 래치회로(LQ1)의 기억노드(Q1)은 NMOS 트랜지스터(N105),(N110)의 게이트전극에 접속된다.

래치회로(LQ0)의 반전노드(/Q0)는, NMOS 트랜지스터(N111)의 게이트에 접속된다.

또, 래치회로(LQ2)의 기억노드(Q2), 래치회로(LQ1)의 기억노드(Q1), 래치회로 (LQ0)의 기억노드(Q0)의 각각과 접지라인과의 사이에, NMOS 트랜지스터 (N112), (N113),(N114)가 각각 접속된다. NMOS 트랜지스터(N112),(N113),(N114)의 게이트전극이 리셋신호 RST의 공급라인에 접속된다.

독출/베리파이 제어회로(113)에 있어서, NMOS 트랜지스터 (N115), (N116), (N117)의 게이트전극은, 노드 SA에 접속된다. NMOS 트랜지스터(N115)의 드레인이 래치회로(LQ2)의 반전기억노드(/Q2)에 접속된다. NMOS 트랜지스터(N116)의 드레인이 래치회로(LQ1)의 반전기억노드(/Q1)에 접속된다. NMOS 트랜지스터(N117)의 드레인이 래치회로(LQ0)의 반전기억노드(/Q0)에 접속된다.

NMOS 트랜지스터(N115)의 소스와 접지라인과의 사이에, NMOS 트랜지스터 (N118)가 접속되는 동시에, 이와 병렬적으로, NMOS 트랜지스터 (N119), (N120), (N121)에 직렬로 접속된다.

NMOS 트랜지스터(N116)의 소스가 NMOS 트랜지스터(N122)의 드레인 및 NMOS 트랜지스터(N127)의 드레인에 접속된다. NMOS 트랜지스터(N122)의 소스와 접지라인과의 사이에, NMOS 트랜지스터(N123),(N124)가 접속되는 동시에, 이와 병렬적으로, NMOS 트랜지스터(N125),(N126)가 직렬로 접속된다.

NMOS 트랜지스터(N127)의 소스와 접지라인과의 사이에, NMOS 트랜지스터 (N128),(N129)가 직렬로 접속되는 동시에, 이와 병렬적으로, NMOS 트랜지스터 (N130),(N131)가 직렬로 접속된다.

NMOS 트랜지스터(N117)의 소스가 NMOS 트랜지스터(N132)의 드레인 및 NMOS 트랜지스터(N137)의 드레인에 접속된다. NMOS 트랜지스터(N132)의 소스와 접지라인과의 사이에, NMOS 트랜지스터(N133),(N134)가 직렬로 접속되는 동시에, 이와 병렬적으로, NMOS 트랜지스터(N135),(N136)가 직렬로 접속된다.

NMOS 트랜지스터(N137)의 소스와 접지라인과의 사이에, NMOS 트랜지스터 (N138),(N139)가 직렬로 접속되는 동시에, 이와 병렬적으로, NMOS 트랜지스터 (N140),(N141)가 직렬로 접속된다.

독출/베리파이 제어회로(113)으로부터는, 신호(ϕ LAT0)-(ϕ LAT9)의 공급라인이 도출된다. NMOS 트랜지스터(N118)의 게이트전극이 신호(ϕ LAT0)의 공급라인에 접속된다. NMOS 트랜지스터(N121)의 게이트전극이 신호(ϕ LAT1)의 공급라인에 접속된다. NMOS 트랜지스터(N124)의 게이트전극이 신호(ϕ LAT2)의 공급라인에 접속된다. NMOS 트랜지스터(N126)의 게이트전극이 신호(ϕ LAT3)의 공급라인에 접속된다. NMOS 트랜지스터(N129)의 게이트전극이 신호(ϕ LAT4)의 공급라인에 접속된다. NMOS 트랜지스터(N131)의 게이트전극이 신호(ϕ LAT5)의 공급라인에 접속된다. NMOS 트랜지스터(N134)의 게이트전극이 신호(ϕ LAT6)의 공급라인에 접속된다. NMOS 트랜지스터(N136)의 게이트전극이 신호(ϕ LAT7)의 공급라인에 접속된다. NMOS 트랜지스터(N139)의 게이트전극이 신호(ϕ LAT8)의 공급라인에 접속된다. NMOS 트랜지스터(N141)의 게이트전극이 신호(ϕ LAT9)의 공급라인에 접속된다.

래치회로(LQ2)의 반전기억노드(/Q2)는, NMOS 트랜지스터(N127),(N137)의 게이트전극에 접속된다. 래치회로(LQ2)의 기억노드(Q2)는, NMOS 트랜지스터(N122), (N132)의 게이트전극에 접속된다. 래치회로(LQ1)의 반전노드 (/Q1)는, NMOS 트랜지스터 (N135),(N140)의 게이트전극에 접속된다. 래치회로(LQ1)의 기억노드(Q1)는, NMOS 트랜지스터(N133),(N138)의 게이트전극에 접속된다. 래치회로(LQ0)의 반전노드 (/Q0)는, NMOS 트랜지스터(N128),(N123)의 게이트전극에 접속된다. 래치회로(LQ0)의 기억노드(Q0)는, NMOS 트랜지스터(N130),(N125),(N120)의 게이트전극에 접속된다.

래치회로(LQ2)의 기억노드(Q2)와 버스라인(IO0)과의 사이에, NMOS 트랜지스터 (N151)가 접속되고, 래치회로(LQ1)의 기억노드(Q1)와, 버스라인(IO1)과의 사이에, NMOS 트랜지스터(N152)가 접속되고, 래치회로(LQ0)의 기억노드(Q0)와 버스라인(IO2)와의 사이에, NMOS 트랜지스터(N153)가 접속된다. 또, 컬럼게이트로서의 NMOS 트랜지스터(N151),(N152),(N153)의 게이트전극이 신호(Y1_0)의 공급라인에 접속된다.

다음에, 기입동작을 설명한다. 스탠바이시에는, 신호 PGM이 로레벨에 설정되고, NMOS 트랜지스터(N102)가 비도통상태로 유지되어, 비트선(BL0),(BL1)이 비트선 전압발생회로(112)의 래치회로(LQ2),(LQ1),(LQ0)로부터 단절되어 있다.

그리고, 신호 DIS가 하이레벨로 설정되어, 신호 TRN,AiB,AiN가 ($V_{cc} - V_{th}$)로 설정된다. 비트선(BL0),(BL1)이 접지레벨에 설정되어 있다.

이 상태에서 기입이 기동된 경우, 신호(Y0_0)가 하이레벨로 설정되어, 기입데이터가 래치회로(LQ2),(LQ1),(LQ0)에 입력되어 유지된다.

그 후, 신호(DIS)가 로레벨로 전환되어, 비트선(BL0),(BL1)이 접지라인으로부터 단절된다. 그리고, 신호 TRN,AiB,AiN가 V_{cc} 이상의 하이레벨(예를 들면 독출시의 버스전압)로 설정되는 동시에, 신호 Vref가 로레벨로 되어, PMOS 트랜지스터 (P101)가 도통상태로 유지된다. 이로써, 모든 비트선(BL0),(BL1)이 전원전압 V_{cc} 에 충전된다.

기입시에는, 어드레스신호로 선택되지 않은 쪽의 어드레스, 예를 들면 AiN0이 접지레벨로 되고, 신호 PGM이 하이레벨로 설정된다. 그리고, 전압 VB3가 가장 높은 전압으로 되고, 전압 VB2가 다음 높은 전압으로 되고, 전압 VB1가 가장 높은 전압으로 되고, 전압 VB0은 접지레벨로 되도록 설정된다.

기입데이터가 "00x"(x는 0 또는 1)의 경우에는, 래치회로(LQ2) 및 (LQ1)의 반전노드(/Q2) 및 (/Q1)은, 하이레벨이다. 그러므로, NMOS 트랜지스터(N103),(N104)가 도통상태로 되고, 비트선(BL0)은 전압(VB0)(접지레벨)로 된다.

기입데이터가 "01x"의 경우에는, NMOS 트랜지스터(N105),(N106)가 도통상태로 되고, 비트선(BL0)은, 전압(VB1)에 설정된다.

기입데이터가 "10x"의 경우에는, NMOS 트랜지스터(N107),(N108)가 도통상태로 되고, 비트선(BL0)은, 전압(VB2)에 설정된다.

기입데이터가 "110"의 경우에는, NMOS 트랜지스터(N109),(N110),(N111)가 도통상태로 되고, 비트선(BL0)은, 전압(VB3)에 설정된다.

기입데이터가 "111"의 경우에는, 전압(VB0)-(VB3)으로부터 어떤 패스도 비트선과 차단된다. 그러므로, 비트선의 전압은, V_{cc} 레벨로 유지된다.

이상의 프로세스에 의해, 선택비트선(BL0)이 기입데이터에 따른 전압으로 설정된 후, 워드선이 기입전압으로 설정되고, 비선택의 워드선이 기입버스전압으로 설정되어, 기입이 행해진다.

다음에, 베리파이 독출동작에 대하여 도 5를 참조하여 설명한다.

베리파이 동작에서는, 1회의 기입이 종료할 때마다 "000", "001", "010", "011", "100", "101", "110"의 기입체크가 행해진다.

이 예에서는, 높은 레벨로부터 베리파이가 행해진다. 즉, 워드선 전압을 $V_{VF7} \rightarrow V_{VF6} \rightarrow V_{VF5} \rightarrow V_{VF4} \rightarrow V_{VF3} \rightarrow V_{VF2} \rightarrow V_{VF1}$ 으로 순차 낮추어 베리파이가 행해진다. 이하, 베리파이동작을 구체적으로 설명한다.

먼저, 신호 Vref가 로레벨로 설정되고, PMOS 트랜지스터(P101)가 도통상태로 유지된다. 또, 신호 TRN0 ($V_{TRN} = V_{cc} - V_{th}$)로 설정되고, 비트선의 전압이 신호 TRN의 레벨로부터 백바이어스가 걸린 스테시홀드 전압 V_{th} 만큼 감하한 전압으로 충전된 후, NMOS 트랜지스터(HN101)는 컷오프되고, 노드 SA는 전원전압 V_{cc} 로 충전된다.

일정시간 경과 후, 신호 Vref는, 비트선의 리크전류를 보상하는 만큼의 전류를 PMOS 트랜지스터(PMOS101)에 흐를 수 있는 전압으로 설정하고, 비선택메모리셀의 워드선에 P5V가 설정되고, 선택셀이 접속된 워드선에

VVF7가 인가된다.

먼저, 기입데이터가 "000"의 베리파이가 행해진다.

여기서, 메모리셀의 스레시홀드전압 V_{th} 가 워드선 전압 VVF7보다 큰($V_{th} > VVF7$) 경우에는, 셀에 전류가 흐르지 않으므로, 비트선 전압은 변화하지 않고, 노드 SA는 전원전압 V_{cc} 에 유지되고, NMOS 트랜지스터(N115),(N116),(N117)가 도통상태로 유지된다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 신호($\phi LAT0$),($\phi LAT2$),($\phi LAT6$)가 순차 하이레벨로 설정된다.

신호($\phi LAT0$)가 하이레벨의 기간에서는, NMOS 트랜지스터(N118)가 도통상태로 전환된다. 이 때, NMOS 트랜지스터(N115)가 도통상태이므로, 래치회로(LQ2)의 반전노드(/Q2)가 로레벨로 되어, 래치회로(LQ2)의 노드(Q2)가 하이레벨로 반전한다.

신호($\phi LAT2$)가 하이레벨의 기간에서는, NMOS 트랜지스터(N124)가 도통상태로 전환된다. 이 때, NMOS 트랜지스터(N123)가 도통상태에서, NMOS 트랜지스터(N122)가 도통상태로 전환되어 있고(래치회로(LQ2)가 반전하고 있으므로), NMOS 트랜지스터(N116)가 도통상태이므로, 래치회로(LQ2)의 반전노드(/Q1)가 로레벨로 되고, 래치회로(LQ1)의 노드(Q1)가 하이레벨로 반전한다.

신호($\phi LAT6$)가 하이레벨의 기간에서는, NMOS 트랜지스터(N134)가 도통상태로 전환된다. 이 때, NMOS 트랜지스터(N133)가 도통상태로 전환되어 있고, NMOS 트랜지스터(N132)가 도통상태로 전환되어 있고(래치회로(LQ2),(LQ1)가 반전하고 있으므로), NMOS 트랜지스터(N117)가 도통상태이므로, 래치회로(LQ0)의 반전노드(/Q0)가 로레벨로 되고, 래치회로(LQ0)의 노드(Q0)가 하이레벨로 반전한다.

이상에 의해, 기입데이터가 "000"의 메모리에서, 그 스레시홀드전압 V_{th} 이 워드선 전압 VVF7보다 클($V_{th} > VVF7$) 경우, 래치회로(LQ2),(LQ1),(LQ0)의 래치데이터는 "111"로 반전하고, 이후, 재기입에서는 비트선 BL은 전원전압 V_{cc} , 채널은 비기입 전위에 부스트되어 기입되지 않는다.

한편, 메모리셀의 스레시홀드 전압 V_{th} 이 워드선 전압 VVF7 보다 작을 ($V_{th} < VVF7$) 경우에는, 리크보상전류보다 큰 셀전류가 흘러 비트선 전압은 강하하고, NMOS 트랜지스터(HN101)가 온하여, 전하의 재배분이 일어나고, 노드 SA의 전위는 비트선 전압과 대략 동등($V_{TRN} - V_{th}$)하게 된다. 노드 SA의 전위가 ($V_{TRN} - V_{th}$)에서는, NMOS 트랜지스터(N115),(N116),(N117)는 완전히 도통할 수는 없다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 신호($\phi LAT0$),($\phi LAT2$),($\phi LAT6$)가 순차 하이레벨로 설정된다.

신호($\phi LAT0$)가 하이 레벨인 기간에서는 NMOS 트랜지스터(N118)가 도통 상태로 바뀐다. NMOS 트랜지스터(N118)가 도통 상태로 변하지만, NMOS 트랜지스터 (N115)가 완전히 도통되지 않으므로, 래치 회로(LQ2)의 노드의 반전은 일어나지 않는다.

신호($\phi LAT2$)가 하이 레벨일 때는 NMOS 트랜지스터(N124)가 도통 상태로 바뀐다. 이 때, NMOS 트랜지스터(N122)가 비도통이므로(래치 회로(LQ2)의 노드의 반전은 일어나지 않으므로), 래치 회로(LQ1)의 노드의 반전은 일어나지 않는다.

신호($\phi LAT6$)가 하이 레벨일 때는 NMOS 트랜지스터(N134)가 도통 상태로 바뀐다. 이 때, NMOS 트랜지스터(N133)가 비도통 상태, NMOS 트랜지스터(N132)가 비도통이므로(래치회로(LQ2,LQ1)의 노드의 반전은 일어나지 않으므로), 래치 회로(LQ1)의 노드의 반전은 일어나지 않는다.

따라서, 기록 데이터가 "000"인 메모리 셀로, 그 스레시홀드 전압 V_{th} 이 워드선 전압 VVF7보다 작을($V_{th} < VVF7$) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치데이터는 "000"인 채 변화없이, 재기록 시에 비트선 전압이 기록전위로 설정되어 기입된다.

다음에, 기록 데이터가 "001"인 베리파이가 이루어진다. 이 때, 선택 워드선 전압은 VVF6으로 설정된다.

여기서, 메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압(VVF6)보다 큰 ($V_{th} < VVF6$) 경우에는 셀에 전류가 흐르지 않음으로 인해, 비트선 전압은 변화되지 않고, 노드 SA는 전원 전압 V_{cc} 로 유지되며, NMOS 트랜지스터(N115, N116, N117)가 도통 상태로 유지된다.

그리고, 일정 시간 경과 후, 펄스상의 신호인 신호($\phi LAT5$, $\phi LAT1$)가 점차 하이 레벨로 설정된다.

신호($\phi LAT5$)가 하이 레벨일 때는 NMOS 트랜지스터(N131)가 도통 상태로 바뀐다. 이 때, NMOS 트랜지스터(N130)가 도통 상태이며, NMOS 트랜지스터(N127)가 도통 상태이며, NMOS 트랜지스터(N116)가 도통 상태이므로 래치 회로(LQ1)의 반전 노드(/Q1)가 로우 레벨이 되며, 래치 회로(LQ1)의 노드(Q1)가 하이 레벨로 반전된다.

신호($\phi LAT1$)가 하이 레벨일 때는 NMOS 트랜지스터(N121)가 도통 상태가 되며, NMOS 트랜지스터(N120)가 도통 상태이며, NMOS 트랜지스터(N119)가 도통 상태로 전환되어 있으며, NMOS 트랜지스터(N115)가 도통 상태이므로 래치 회로(LQ2)의 반전 노드(/Q2)가 로우 레벨이 되며, 래치 회로(LQ2)의 노드(Q2)가 하이 레벨로 반전된다.

따라서, 기록 데이터가 "001"인 메모리 셀로, 그 스레시홀드 전압 V_{th} 이 워드선 전압(VVF6)보다 큰($V_{th} > VVF6$) 경우, 래치 회로(LQ2,LQ1,LQ0)의 래치 데이터는 "111"로 반전된 후, 재기록 시에 비트선 BL은 전원 전압 V_{cc} 로 설정되고, 채널은 비기록 전위로 부스트됨에 따라 아무런 데이터도 기록되지 않는다.

한편, 메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압(VVF6)보다 작을($V_{th} < VVF6$) 경우에는 리크 보상 전류보다 큰 셀 전류가 흘러 비트선 전압은 떨어지고, NMOS 트랜지스터(HN101)가 켜짐으로써 전하의 재배분이 일어나 노드(SA)의 전위는 비트선 전압과 거의 같아진다($V_{TRN} - V_{th}$). 노드(SA)의 전위가 $V_{TRN} - V_{th}$ 에서는 NMOS 트랜지스터(N115,N116,N117)로 완전히 도통될 수는 없다.

그리고, 일정 시간 경과 후, 펄스상의 신호인 신호(ϕLAT5 , ϕLAT1)가 점차 하이 레벨로 설정된다.

신호(ϕLAT5)가 하이 레벨일 때는 NMOS 트랜지스터(N131)가 도통 상태로 바뀐다. 이 때, NMOS 트랜지스터(N116)가 완전히 도통되지 않으므로 래치 회로(LQ1)의 노드의 반전은 일어나지 않는다.

신호(ϕLAT1)가 하이 레벨일 때는 NMOS 트랜지스터(N121)가 도통 상태로 바뀌지만, NMOS 트랜지스터(N119)가 비도통 상태이므로, 래치 회로(LQ2)의 노드의 반전은 일어나지 않는다.

따라서, 기록 데이터가 "001"인 메모리 셀로, 그 스레시홀드 전압 V_{th} 이 워드선 전압(VVF6)보다 작음($V_{th} < VVF6$) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터는 "001"인 채 변화되지 않고, 재기록 시에 비트선 전압이 기록 전위로 설정되어 기록하게 된다.

이하, 마찬가지로, 워드선 전압(VVF5)의 경우, 기록 데이터가 "010"인 메모리 셀로, 그 스레시홀드 전압 V_{th} 이 워드선 전압(VVF5)보다 큰 ($V_{th} > VVF5$) 경우에만 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 "111"로 반전되도록 제어된다.

워드선 전압(VVF4)인 경우, 기록 데이터가 "011"인 메모리 셀로, 그 스레시홀드 전압 V_{th} 이 워드선 전압(VVF4)보다 큰 ($V_{th} > VVF4$) 경우에만 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 "111"로 반전되도록 제어된다.

워드선 전압(VVF3)의 경우, 기록 데이터가 "100"인 메모리 셀로, 그 스레시홀드 전압 V_{th} 이 워드선 전압(VVF3)보다 큰 ($V_{th} > VVF3$) 경우에만 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 "111"로 반전되도록 제어된다.

워드선 전압(VVF2)의 경우, 기록 데이터가 "101"인 메모리 셀로, 그 스레시홀드 전압 V_{th} 이 워드선 전압(VVF2)보다 큰 ($V_{th} > VVF2$) 경우에만 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 "111"로 반전되도록 제어된다.

워드선 전압(VVF1)의 경우, 기록 데이터가 "110"인 메모리 셀로, 그 스레시홀드 전압 V_{th} 이 워드선 전압(VVF1)보다 큰 ($V_{th} > VVF1$) 경우에만 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 "111"로 반전되도록 제어된다.

또한, 워드선 전압(VVF1)에서의 베리파이가 종료된 단계에서, 전 래치 데이터의 반전 신호인 와이어드 OR가 취해지고, 하나라도 "0"이 있으면, 와이어드 OR의 결과는 로우 레벨이 되어 재기록 프로세스로 이행되며, 모두가 "1"이 되어 있으면 기록이 종료된다. 이상의 기록 및 베리파이 사이클을 모든 메모리 셀이 충분히 기록하였다고 판정하든지, 소정 회수에 달할 때까지 반복된다.

다음에, 독출 동작에 대해 도 6을 참고하여 설명한다. 독출 시에는 우선, 제어 신호 RST를 일정 기간 하이 레벨로 설정하여 래치 회로(LQ2, LQ1, LQ0)의 기억노드 (Q2, Q1, Q0)를 로우 레벨로 초기화한다. 또, 베리파이 때와 마찬가지로, 하이 레벨에서부터 이루어진다. 즉, 워드선 전압을 $VRD7 \rightarrow VRD6 \rightarrow VRD5 \rightarrow VRD4 \rightarrow VRD3 \rightarrow VRD2 \rightarrow VRD1$ 로 점차 내려가게 된다.

독출 시에는 베리파이 때와 마찬가지로, 우선, 신호 V_{ref} 가 로우 레벨로 설정되며, PMOS 트랜지스터(P101)가 도통 상태로 유지된다. 또, 신호 TRN이 VTRN ($VTRN = V_{cc} - V_{th}$)으로 설정되며, 비트선의 전압이 신호 TRN 레벨에서부터 백바이어스가 걸린 스레시홀드 전압 V_{th} 만큼 감하된 전압으로 충전된 다음, NMOS 트랜지스터(HN101)는 컷 오프되고, 노드(SA)는 전원 전압 V_{cc} 로 충전된다.

일정 시간 경과 후, 신호 V_{ref} 는 비트선의 리크전류를 보상할 만큼의 전류를 PMOS 트랜지스터(P101)로 흐르게 할 수 있는 전압으로 설정되며, 비선택 메모리 셀의 워드선에 P5V가 설정되며, 선택셀이 접속된 워드선에, VRD7이 인가된다.

워드선 전압이 VRD7에서 독출된 결과, 메모리셀의 스레시홀드 전압 V_{th} 이 워드선 전압(VRD7)보다 큰 ($V_{th} > VRD7$) 경우, 셀전류가 흐르지 않음에 따라 노드(SA)는 전원 전압 V_{cc} 로 유지된다. 이 때, NMOS 트랜지스터(N115, N116, N117)가 도통 상태가 된다.

또, 일정 시간 경과 후, 펄스상의 신호인 신호(ϕLAT0 , ϕLAT2 , ϕLAT6)가 점차 하이 레벨로 설정된다.

신호(ϕLAT0)가 하이 레벨로 설정되면, NMOS 트랜지스터(N118)가 도통 상태로 설정된다. 또, NMOS 트랜지스터(N115)는 도통되어 있으므로, 래치 회로(LQ2)의 반전 노드(/Q2)가 "0"이 되며, 래치 회로(LQ2)의 노드(Q2)가 "1"로 반전된다.

신호(ϕLAT2)가 하이 레벨로 설정되면, NMOS 트랜지스터(N124)가 도통 상태로 설정된다. 이 때, NMOS 트랜지스터(N123)는 도통 상태이며, NMOS 트랜지스터 (N116)는 도통 상태로 변환다. 또, NMOS 트랜지스터(N116)는 도통되고 있으므로, 래치 회로(LQ1)의 반전 노드(/Q1)가 "0"이 되며, 래치 회로(LQ1)의 노드(Q1)가 "1"로 반전된다.

신호(ϕLAT6)가 하이 레벨로 설정되면, NMOS 트랜지스터(N134)가 도통 상태로 설정된다. 이 때, NMOS 트랜지스터(N133, N132)는 도통 상태로 변환되어 있다. 또, NMOS 트랜지스터(N117)는 도통되고 있으므로, 래치 회로(LQ0)의 반전 노드(/Q0)가 "0"으로 반전되며, 래치 회로(LQ0)의 노드(Q1)가 "1"로 반전된다.

따라서, 메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압(VRD7)보다 큰 ($V_{th} > VRD7$) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 "111"로 반전된다.

한편, 메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압(VRD7) 이하($V_{th} < VRD7$) 이면, 리크 보상 전압보다 큰 셀 전류가 흘러 비트선 전압은 떨어지고, NMOS 트랜지스터(HN101)가 도통 상태가 되어, 전하의 재배분이 일어나고, 노드(SA)의 전압은 비트선 전압과 거의 같아진다($VTRN - V_{th}$). 이로 인해, NMOS

트랜지스터(N115, N116, N117)가 완전히 도통되지 않는다.

또, 일정 시간 경과 후, 펄스상의 신호인 신호(ϕ LAT0, ϕ LAT2, ϕ LAT6)가 점차 하이 레벨로 설정된다.

신호(ϕ LAT0)가 하이 레벨로 설정되면, NMOS 트랜지스터(N118)가 도통 상태로 설정되나, NMOS 트랜지스터(N115)는 완전히는 도통되지 않으므로 래치 회로(LQ2)의 노드의 반전은 일어나지 않는다.

신호(ϕ LAT2)가 하이 레벨로 설정되면, NMOS 트랜지스터(N124)가 도통 상태로 설정된다. 그러나, NMOS 트랜지스터(N122)가 비도통되므로, 래치 회로(LQ1)의 노드의 반전은 일어나지 않는다.

신호(ϕ LAT6)가 하이 레벨로 설정되면, NMOS 트랜지스터(N134)가 도통 상태로 설정된다. 그러나, NMOS 트랜지스터(N132, N133)가 비도통되므로, 래치 회로(LQ0)의 노드의 반전은 일어나지 않는다.

다음에, 워드선 전압이 VRD6로 설정되어 독출된다. 워드선 전압이 VRD6로 독출된 결과, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VRD6)보다 큰 ($V_{th} > VRD6$) 경우, 셀전류가 흐르지 않음에 따라 노드(SA)는 전원 전압 V_{cc} 로 유지된다. 이 때, NMOS 트랜지스터(N115, N116, N117)가 도통 상태가 된다.

또, 일정 시간 경과 후, 펄스상의 신호인 신호(ϕ LAT0, ϕ LAT2)가 점차 하이 레벨로 설정된다.

신호(ϕ LAT0)가 하이 레벨로 설정되면, NMOS 트랜지스터(N118)가 도통 상태로 설정된다. 또, NMOS 트랜지스터(N115)는 도통되어 있으므로, 래치 회로(LQ2)의 반전 노드(/Q2)가 "0"이 되며, 래치 회로(LQ2)의 노드(Q2)가 "1"로 반전된다.

신호(ϕ LAT2)가 하이 레벨로 설정되면, NMOS 트랜지스터(N124)가 도통 상태로 설정된다. 이 때, NMOS 트랜지스터(N123)은 도통 상태이며, NMOS 트랜지스터 (N112)는 도통 상태로 변한다. 또, NMOS 트랜지스터(N116)는 도통되고 있으므로, 래치 회로(LQ1)의 반전 노드(/Q1)가 "0"으로 반전되며, 래치 회로(LQ1)의 노드(Q1)가 "1"로 반전된다.

따라서, 메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압(VRD6)보다 큰 ($V_{th} > VRD6$) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 "110"으로 반전된다.

한편, 메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압(VRD6)이하($V_{th} < VRD6$) 이면, 리크 보상 전압보다 큰 셀 전류가 흘러 비트선 전압은 떨어지고, NMOS 트랜지스터(HN101)가 도통 상태가 되어, 전하의 재배분이 일어나고, 노드(SA)의 전압은 비트선 전압과 거의 같아진다($V_{TRN} - V_{th}$). 이로 인해, NMOS 트랜지스터(N115, N116, N117)가 완전히 도통되지 않는다.

또, 일정 시간 경과 후, 펄스상의 신호인 신호(ϕ LAT0, ϕ LAT2)가 점차 하이 레벨로 설정된다.

신호(ϕ LAT0)가 하이 레벨로 설정되면, NMOS 트랜지스터(N118)가 도통 상태로 설정된다. 그러나, NMOS 트랜지스터(N115)는 완전히는 도통되지 않으므로 래치 회로(LQ2)의 노드의 반전은 일어나지 않는다.

신호(ϕ LAT2)가 하이 레벨로 설정되면, NMOS 트랜지스터(N124)가 도통 상태로 설정되나, 래치 회로(LQ2)의 노드의 반전이 일어나지 않으므로, NMOS 트랜지스터 (N122)는 비도통된다. 따라서, 래치 회로(LQ1)의 노드의 반전은 일어나지 않는다.

다음에, 워드선 전압이 VRD5로 설정되어 독출된다. 워드선 전압이 VRD5로 독출된 결과, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VRD5)보다 큰 ($V_{th} > VRD5$) 경우, 셀전류가 흐르지 않음에 따라 노드(SA)는 전원 전압 V_{cc} 로 유지된다. 이 때, NMOS 트랜지스터(N115, N116, N117)가 도통 상태로 유지된다.

여기서, 래치데이터에 관해서는, 이하의 경우를 생각할 수 있다.

① $V_{th} > VRD7$ 인 경우 : 래치데이터는"111"

② $V_{VRD7} > V_{th} > VRD6$ 인 경우 : 래치데이터는"110"

③ $V_{VRD6} > V_{th} > VRD5$ 인 경우 : 래치데이터는"000"

여기서는, ③의 경우에만, 래치 회로(LQ2, LQ0)의 노드의 반전이 생겨, 독출 데이터가 "101"이 되도록 할 필요가 있으며, 이 때, ①의 경우와 ②의 경우에 영향이 미치지 않도록 해야 할 필요가 있다.

일정 시간 경과 후, 펄스상의 신호인 신호(ϕ LAT0, ϕ LAT7)가 점차 하이 레벨로 설정된다.

신호(ϕ LAT0)가 하이 레벨로 설정되면, NMOS 트랜지스터(N118)가 도통 상태로 설정된다. 또, NMOS 트랜지스터(N115)는 도통되어 있으므로, 래치 회로(LQ2)의 반전 노드(/Q2)가 "0"이 되며, 래치 회로(LQ2)의 노드(Q2)가 "1"로 반전된다.

①, ②의 경우, 원래, 래치 회로(LQ2)의 노드(Q2)는 "1"이 되므로, 영향은 없다.

신호(ϕ LAT7)가 하이 레벨로 설정되면, NMOS 트랜지스터(N136)가 도통 상태로 설정된다. 이 때, ③인 경우에는, NMOS 트랜지스터(N135)가 도통되며, NMOS 트랜지스터(N132)는 도통 상태로 변한다. 또, NMOS 트랜지스터(N117)는 도통되고 있으므로, 래치 회로(LQ0)의 반전 노드(/Q1)가 "0"이 되며, 래치 회로(LQ0)의 노드(Q0)가 "1"로 반전된다.

이 때, ①및 ②의 경우에는 NMOS 트랜지스터(N135)가 비도통되므로, 노드의 반전은 생기지 않는다.

따라서, 메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압(VRD5)보다 큰 ($V_{th} > VRD5$) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 "101"로 반전된다.

한편, 메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압 (VRD5) 이하($V_{th} < VRD5$) 이면, 리크 보상 전압보다 큰 셀 전류가 흘러 비트선 전압은 떨어지고, NMOS 트랜지스터(HN101)가 도통 상태가 되어, 전하의 재배분이

일어나고, 노드(SA)의 전압은 비트선 전압과 거의 같아진다(VTRN-Vth). 이로 인해, NMOS 트랜지스터(N115, N116, N117)가 완전히 도통되지 않는다.

그리고, 일정 시간 경과 후, 펄스상의 신호인 신호(ϕ LAT0, ϕ LAT7)가 점차 하이 레벨로 설정된다.

신호(ϕ LAT0)가 하이 레벨로 설정되면, NMOS 트랜지스터(N118)가 도통 상태로 설정되나, NMOS 트랜지스터(N115)는 완전히는 도통되지 않으므로 래치 회로(LQ2)의 노드의 반전은 일어나지 않는다.

신호(ϕ LAT7)가 하이 레벨로 설정되면, NMOS 트랜지스터(N136)가 도통 상태로 설정되나, 래치 회로(LQ2)의 노드의 반전이 일어나지 않으므로, NMOS 트랜지스터(N132)는 비도통된다. 따라서, 래치 회로(LQ0)의 노드의 반전은 일어나지 않는다.

이하, 마찬가지로 이하와 같은 제어가 이루어진다. 워드선 전압(VRD4)의 경우, $VRD5 > V_{th} > VRD4$ 인 경우에만 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 "100"으로 반전되도록 제어된다.

워드선 전압(VRD3)의 경우, $VVRD4 > V_{th} > VRD3$ 인 경우에만 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 "011"로 반전되도록 제어된다.

워드선 전압(VRD2)의 경우, $VVRD3 > V_{th} > VRD2$ 인 경우에만 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 "010"으로 반전되도록 제어된다.

워드선 전압(VRD1)의 경우, $VVRD2 > V_{th} > VRD1$ 인 경우에만 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 "001"로 반전되도록 제어된다.

발명이 이루고자하는 기술적 과제

전술한 2가지 예가 나타내듯이, 기억 레벨을 4치와 8치로 하면, 베리파이를 위한 회로와 독출을 위한 회로가 복잡해지고, 회로규모가 커지는 문제가 발생한다. 특히, 베리파이 시에는 워드선 전압을 점차 변화시켜, 소정의 기록 데이터의 메모리 셀에 대해서만, 베리파이를 행할 필요가 있다. 그로 인해 회로 구성이 복잡해진다.

즉, 전술한 4치의 예에서는 베리파이 시에는 워드선을 VVF3-VVF1으로 3회 교체하여, 셀에 충분히 기록되면, 래치 데이터를 "11"로 반전되게 하고 있다. 이것은 그 메모리 셀의 스레시홀드 V_{th} 가 워드선에 부여된 전압이 상이 되며, 기록 데이터가 베리파이시의 대상인 데이터라는 조건을 충족시켰을 때, 래치 데이터를 "11"로 반전하는 것이다.

예를 들면, 기록 데이터가 "00"인 메모리 셀로, 이 메모리 셀의 기록이 충분하지 않고, 분포2(도 8(A)참조)에 있다고 한다. 단순히, 워드선 전압과 스레시홀드를 비교하여 래치 데이터를 반전시키게 하면, 워드선 전압을 VVF3-VVF1으로 점차 변화시켜 갔을 때, 워드선 전압을 VVF2로 설정했을 때, 이 메모리 셀의 래치 데이터가 "11"로 반전되어 기록이 넘친다. 이같은 일이 일어나지 않게 하면, 전술한 대로 회로구성이 복잡해진다.

또, 전술한 8치의 예에서는, 베리파이 시에는 워드선을 VVF7-VVF1로 7회 교체하여, 셀에 충분히 기록되면, 래치 데이터를 "111"로 반전되게 하고 있다. 이것은 그 메모리 셀의 스레시홀드 V_{th} 가 워드선에 주어진 전압 이상이 되어 있으며, 기록 데이터가 베리파이시의 대상인 데이터라는 조건을 만족시켰을 때, 래치 데이터를 "111"로 반전하는 것이다.

예를 들면, 기록 데이터가 "000"인 메모리 셀로, 이 메모리 셀의 기록이 충분하지 않고, 분포4(도 14 참조)에 있다고 한다. 단순히, 워드선 전압과 스레시홀드를 비교하여 래치 데이터를 반전시키게 하면, 워드선 전압을 VVF7-VVF1으로 점차 바꿔갔을 때, 워드선 전압을 VVF4으로 설정했을 때, 이 메모리 셀의 래치 데이터가 "111"로 반전되어 기록이 넘친다. 이같은 일이 일어나지 않게 하면, 전술한 바와 같이 회로구성이 복잡해진다.

또, 전술한 4치의 예 및 8치의 예에서는, 독출 시에는 4치의 예에서는 워드선 전압을 VRD3-VRD1로 순차 변화시키고, 또, 8치의 예에서는, 워드선 전압을 VRD7-VRD1으로 순차 변화시켜, 메모리 셀의 스레시홀드가 소정의 레벨을 넘는지 아닌지를 판단하면서, 독출 데이터를 디코더하고 있다. 이 경우, 일단 디코더되어 래치 회로로 유지된 데이터가 워드선 전압을 변화시켰을 때에 개서되는 일이 없도록 래치 회로의 데이터를 유지해 갈 필요가 있다. 이같은 것이 이루어질 수 있게 하면, 전술한 바대로 회로 구성이 복잡해진다.

발명의 구성 및 작용

따라서, 이 발명의 목적은 메모리 셀에 다값의 데이터를 기록했을 때에도, 회로규모의 증대를 막으려한 불휘발성 반도체 기억장치 및 불휘발성 반도체 기억장치의 베리파이 방법 및 독출 방법을 제공하는 것에 있다.

청구항 1의 발명은, 워드선 및 비트선에의 인가전압에 따라 전하축적부에 축적된 전하량이 변화하고, 그 변화에 따라 스레시홀드 전압이 변화하고, 스레시홀드 전압에 따른 값의 데이터를 기억하는 메모리셀을 가지고, n비트의 다치(多値) 데이터를 메모리셀에 기입하는 불휘발성 반도체장치로서,

기입시에 기입데이터가 래치되는 동시에, 베리파이에 데이터가 충분히 기입되면 소정의 데이터로 설정되고, 또한 독출시에 독출데이터가 설정되는 n개의 래치회로와,

기입시에 상기 래치회로에 래치되어 있는 데이터에 따른 비트선 전압으로 설정하는 기입제어수단과,

베리파이에, 워드선 전압을 스레시홀드 전압의 분포상태에 따라 설정하고, 상기 메모리셀의 스레시홀드 전압이 상기 워드선에 인가된 전압을 초과하고 있는가 여부에 따라 상기 래치회로를 확정하고, 상기 베리파이에 데이터가 충분히 기입되면 상기 래치회로에 소정의 데이터가 설정되도록 제어하는 베리파이 제어수단과,

독출시에, 워드선 전압을 스레시홀드 전압의 분포상태에 따라 설정하고, 상기 메모리셀의 스레시홀드 전압이 상기 워드선에 인가된 전압을 초과하고 있는가 여부에 따라 상기 래치회로를 확정하고, 독출된 데이터가 래치

회로에 설정되도록 제어하는 독출제어수단과를 구비하고,

상기 베리파이 제어수단은, 베리파이 동작시에, 워드선 전압을 스레시홀드 전압의 분포상태에 따라 복수의 단계로 설정하고, 상기 래치회로에 래치되어 있는 데이터에 따라 상기 비트선을 프리차지 하도록 또는 하지 않도록 제어하고, 상기 메모리셀에 전류가 흐르는가 여부에 따라 상기 메모리셀의 스레시홀드 전압이 상기 워드선에 인가된 전압을 초과하고 있는가 여부를 검출하고, 상기 검출출력에 따라 상기 래치회로를 확정하여, 상기 베리파이에 데이터가 충분히 기입되면 상기 래치회로에 소정의 데이터가 설정되도록 한 것을 특징으로 하는 불휘발성 반도체 기억장치이다.

청구항 2의 발명에서는, 메모리셀은, 그 일단 및 타단이 게이트전압에 따라 도통상태가 제어되는 선택 트랜지스터를 통하여 비트선 및 소스선에 접속된 메모리스트링(merory string)으로 이루어진다.

청구항 3의 발명에서는, 베리파이제어수단은, 최하위 비트를 제하고 상기 래치회로에 소정의 데이터가 래치되어 있을 때에만, 상기 비트선에 프리차지 전류가 흐르도록 제어하는 수단과, 상기 최하위 비트의 상태에 따라, 상기 래치회로의 상태가 반전되지 않도록 제어하는 수단과를 포함한다.

청구항 4의 발명에서는, 베리파이수단은, 최하위 비트를 제하고 상기 래치회로에 소정의 데이터가 래치되어 있을 때에만, 상기 비트선에 프리차지 전류가 흐르도록 제어하는 수단과, 상기 최하위 비트의 상태에 따라, 상기 비트선이 디스차지 하도록 제어하는 수단과를 포함한다.

청구항 5의 발명에서는, 메모리셀에는, $(n = 2)$ 비트의 다치 데이터를 기입하도록 하고 있다.

청구항 6의 발명에서는, 메모리셀에는, $(n = 3)$ 비트의 다치 데이터를 기입하도록 하고 있다.

청구항 7의 발명은, 워드선 및 비트선에의 인가전압에 따라 전하축적부에 축적된 전하량이 변화하고, 그 변화에 따라 스레시홀드 전압이 변화하고, 스레시홀드 전압에 따른 값의 데이터를 기억하는 메모리셀을 가지고, n 비트의 다치 데이터를 메모리셀에 기입하는 불휘발성 반도체장치로서,

기입시에 기입데이터가 래치되는 동시에, 베리파이에 데이터가 충분히 기입되면 소정의 데이터로 설정되고, 또한 독출시에 독출데이터가 설정되는 n 개의 래치회로와,

기입시에 상기 래치회로에 래치되어 있는 데이터에 따른 비트선 전압으로 설정하는 기입제어수단과,

베리파이에, 워드선 전압을 스레시홀드 전압의 분포상태에 따라 설정하고, 상기 메모리셀의 스레시홀드 전압이 상기 워드선에 인가된 전압을 초과하고 있는가 여부에 따라 상기 래치회로를 확정하고, 상기 베리파이에 데이터가 충분히 기입되면 상기 래치회로에 소정의 데이터가 설정되도록 제어하는 베리파이 제어수단과,

독출시에, 워드선 전압을 스레시홀드 전압의 분포상태에 따라 설정하고, 상기 메모리셀의 스레시홀드 전압이 상기 워드선에 인가된 전압을 초과하고 있는가 여부에 따라 상기 래치회로를 확정하고, 독출된 데이터가 래치회로에 설정되도록 제어하는 독출제어수단과를 구비하고,

상기 독출제어수단은, 독출시에, 워드선 전압을 스레시홀드 전압의 분포상태에 따라 복수의 단계로 설정하고, 전회까지에 상기 래치회로의 노드의 반전이 생기지 않을 때에만, 상기 비트선을 프리차지 하고, 상기 메모리셀에 전류가 흐르는가 여부에 따라 상기 메모리셀의 스레시홀드 전압이 상기 워드선에 인가된 전압을 초과하고 있는가 여부를 검출하고, 상기 검출출력에 따라 상기 래치회로를 확정하여, 상기 독출시에 상기 래치회로에 독출 데이터가 설정되도록 한 것을 특징으로 하는 불휘발성 반도체 기억장치이다.

청구항 8의 발명에서는, 메모리셀은, 그 일단 및 타단이 게이트전압에 따라 도통상태가 제어되는 선택 트랜지스터를 통하여 비트선 및 소스선에 접속된 메모리스트링으로 이루어진다.

청구항 9의 발명에서는, 메모리셀에는, $(n = 2)$ 비트의 다치 데이터를 기입하도록 하고 있다.

청구항 10의 발명에서는, 메모리셀에는, $(n = 3)$ 비트의 다치 데이터를 기입하도록 하고 있다.

청구항 11의 발명은, 워드선 및 비트선에의 인가전압에 따라 전하축적부에 축적된 전하량이 변화하고, 그 변화에 따라 스레시홀드 전압이 변화하고, 스레시홀드 전압에 따른 값의 데이터를 기억하는 메모리셀을 가지고, n 비트의 다치 데이터를 메모리셀에 기입하는 불휘발성 반도체장치의 베리파이방법으로서,

워드선 전압을 스레시홀드 전압의 분포상태에 따라 복수의 단계로 설정하고, 상기 래치회로에 래치되어 있는 데이터에 따라 상기 비트선을 프리차지 하도록 또는 하지 않도록 제어하는 스텝과,

상기 메모리셀에 전류가 흐르는가 여부에 따라 상기 메모리셀의 스레시홀드 전압이 상기 워드선에 인가된 전압을 초과하고 있는가 여부를 검출하는 스텝과,

상기 검출출력에 따라 상기 래치회로를 확정하여, 상기 베리파이에 데이터가 충분히 기입되면 상기 래치회로에 소정의 데이터가 설정되도록 하는 스텝으로 이루어지는 것을 특징으로 하는 불휘발성 반도체 기억장치의 베리파이방법이다.

청구항 12의 발명은, 워드선 및 비트선에의 인가전압에 따라 전하축적부에 축적된 전하량이 변화하고, 그 변화에 따라 스레시홀드 전압이 변화하고, 스레시홀드 전압에 따른 값의 데이터를 기억하는 메모리셀을 가지고, n 비트의 다치 데이터를 메모리셀에 기입하는 불휘발성 반도체장치의 독출방법으로서,

워드선 전압을 스레시홀드 전압의 분포상태에 따라 복수의 단계로 설정하고,

전회까지에 상기 래치회로의 노드의 반전이 생기지 않을 때에만, 상기 비트선을 프리차지 하는 스텝과,

상기 메모리셀에 전류가 흐르는가 여부에 따라 상기 메모리셀의 스레시홀드 전압이 상기 워드선에 인가된 전압을 초과하고 있는가 여부를 검출하는 스텝과,

상기 검출출력에 따라 상기 래치회로를 확정하여, 상기 독출시에 상기 래치회로에 독출 데이터가 설정되도록 하는 스텝으로 이루어지는 것을 특징으로 하는 불휘발성 반도체 기억장치의 독출방법이다.

베리파이 동작 시에 워드선 전압을 스레시홀드 전압의 분포 상태에 따라 순차 단계로 바꾸고, 래치되어 있는 데이터에 따라 비트선을 프리차지하는지 아닐지를 제어하고 있다.

즉, 기억 레벨이 4치로 된 경우에는 워드선 전압을 VVF3으로 설정할 때는, 전압 VB0에만 Vcc 전압이 주어지고, 전압(VB1, VB2)은 접지 레벨이다. 따라서 래치 회로에 래치되어 있는 기록 데이터가 "00"일 때만(NMOS 트랜지스터(n3, n4)가 도통 상태가 되고) 비트선을 프리차지하고, 그 밖의 데이터일 때는 비트선을 프리차지하지 않는다.

마찬가지로, 워드선 전압을 VVF2로 설정할 때는, 전압(VB1)에만 Vcc의 전압이 주어지며, 전압(VB0, VB2)은 접지 레벨이며, 래치 회로에 래치되어 있는 기록 데이터가 "01"일 때에만 비트선을 프리차지하고, 그 밖의 데이터일 때는 비트선을 프리차지하지 않는다. 워드선 전압을 VVF1으로 설정했을 때는 전압(VB2)으로만 Vcc의 전압이 주어지며, 전압VB0, VB1은 접지 레벨이며, 래치 회로에 래치되어 있는 기록 데이터가 "10"일 때에만 비트선을 프리차지하고, 그 밖의 데이터일 때는, 비트선을 프리차지하지 않는다.

또, 기억 레벨이 8치로 된 경우에는, 워드선 전압을 VVF7 및 VVF6로 설정했을 때는 전압(VB0)에만 Vcc의 전압이 주어지며, 전압(VB1, VB2, VB3)은 접지 레벨이다. 따라서, 래치 회로에 래치되어 있는 기록 데이터가 "00x" 일 때에만(NMOS 트랜지스터 N3 및 N4가 도통 상태가 되며) 비트선을 프리차지하고, 그 밖의 데이터일 때는, 비트선을 프리차지하지 않는다.

마찬가지로, 워드선 전압을 VVF5 및 VVF4로 설정할 때는, 전압(VB1)에만 Vcc전압이 주어지며, 전압VB0, VB2, VB3는 접지 레벨이며, 래치 회로에 래치되어 있는 기록 데이터가 "01x"일 때만 비트선을 프리차지하고, 그 밖의 데이터일 때는, 비트선을 프리차지하지 않는다. 워드선 전압을 VVF3 및 VVF2로 설정할 때는, 전압 (VB2)에만 Vcc전압이 주어지며, 전압VB0, VB1, VB3는 접지 레벨이며, 래치 회로에 래치되어 있는 기록 데이터가 "10x"일 때에만 비트선을 프리차지하고, 그 밖의 데이터일 때는 비트선을 프리차지하지 않는다. 워드선 전압을 VVF1로 설정할 때는 전압VB3에만 Vcc전압이 주어지며, 전압VB0, VB1, VB2는 접지 레벨이며, 래치 회로에 래치되어 있는 기록 데이터가 "110"일 때에만 비트선을 프리차지하고, 그 밖의 데이터일 때는 비트선을 프리차지하지 않는다.

이와 같이 래치되어 있는 데이터에 따라 비트선을 프리차지하는지 아닌지를 제어하는 것으로 베리파이시의 회로의 구성이 간단화된다.

이렇게 베리파이를 행할 때, 기억 레벨이 8치인 경우에는 최하위 비트에 대해서는 최하위 비트의 노드 상태를 NMOS 트랜지스터 N19 및 N23의 게이트에 부여하며, 그 반전 노드의 상태를 NMOS 트랜지스터(N21, N25)에 부여하여, 최하위 비트의 래치 회로의 상태에 따라, 래치 회로(LQ2, LQ1)의 설정/비설정을 제어하는 구성으로 한다.

또한, 이와 같이 베리파이를 행하였을 때, 기억 레벨이 8치인 경우에는, 래치 회로(LQ0)에 래치되는 최하위 비트에 대해서는, NMOS 트랜지스터 (N72, N73)에 의해, 최하위 비트의 상태에 따라, 비트선의 디스차지를 제어한다.

기억 레벨이 4치가 된 독출 시에는, 그때까지 래치 회로의 노드반전이 없을 때만, 비트선을 프리차지하도록 제어하고, 전회까지 래치 회로의 노드의 반전이 있으면, 비트선에 프리차지 전류가 흐르지 않게 하고 있다. 즉, 독출 시에는 전압(VB0)에만 Vcc로 하고, 전압(VB1, VB2)은 접지 레벨로 한다. 그때까지의 독출로 래치 회로의 반전이 일어나지 않았을 때만, NMOS 트랜지스터(n4, n3)가 도통되며, 전압(VB0)에 의해 비트선이 프리차지되어 데이터의 독출이 이루어져, 래치 회로에 독출데이터가 설정된다. 지금까지의 독출로 래치 회로의 반전이 일어나면, 비트선의 프리차지가 일어나지 않게 되어, 지금까지의 데이터가 유지된다.

또, 기억 레벨이 8치로 된 독출 시에서는, 그때까지 래치 회로의 노드 반전이 없을 때에만, 비트선을 프리차지하도록 제어하고, 전회까지 래치 회로의 노드 반전이 있으면, 비트선에 프리차지 전류가 흐르지 않도록 하고 있다. 즉, 독출 시에는 전압 VB0만 Vcc로 하고, 전압 VB1, VB2, VB3는 접지 레벨로 한다. 그때까지의 독출로 래치 회로의 반전이 일어나지 않을 때만, NMOS 트랜지스터 N4, N3이 도통되고, 전압 VB0에 의해 비트선이 프리차지되어 데이터의 독출이 행해지고, 래치 회로에 독출 데이터가 설정된다. 그때까지의 독출로 래치 회로의 반전이 일어나고 있으면, 비트선의 프리차지가 행해질 수 없게 되어 그때까지의 데이터가 유지된다.

이와 같이 하면, 한번 래치 회로에 설정된 데이터를 보호하는 회로가 불필요하게 되기 때문에, 독출 시의 회로 규모가 현저하게 삭감된다.

본 발명의 실시 형태에 대하여, 다음의 순서로 도면을 참조하여 설명한다.

1. 제1 실시 형태

1-1. 제1 실시 형태의 전체 구성

1-2. 제1 실시 형태의 기입 시의 동작

1-3. 제1 실시 형태의 베리파이 독출 시의 동작

1-4. 제1 실시 형태의 독출 시의 동작

2. 제2 실시 형태

2-1. 제2 실시 형태의 전체 구성

2-2. 제2 실시 형태의 기입 시의 동작

2-3. 제2 실시 형태의 베리파이 독출 시의 동작

2-4. 제2 실시 형태의 독출 시의 동작

3. 제2 실시 형태

3-1. 제3 실시 형태의 전체 구성

3-2. 제3 실시 형태의 기입 시의 동작

3-3. 제3 실시 형태의 베리파이 독출 시의 동작

3-4. 제3 실시 형태의 독출 시의 동작

4. 변형예

1. 제1 실시 형태

도 7은 본 발명에 관한 불휘발성 반도체 기억 장치의 제1 실시 형태를 나타낸 것이다. 이 불휘발성 반도체 기억 장치는 기억 다치(多値) 레벨이 4치에 대응한 것이다.

1-1. 제1 실시 형태의 전체 구성

도 7에 나타난 바와 같이, 본 발명이 적용된 불휘발성 반도체 기억 장치는 메모리 어레이(memory array)(21)와, 비트선 전압 발생 회로(22)와, 독출/베리파이 제어 회로(23)에 의해 구성된다.

메모리 어레이(21)는 도 7에 나타난 바와 같이, 각각 메모리 셀이 공통의 워드선(WL0-WL15)에 접속된 메모리 스트링(a0, a1,...)을 매트릭스형으로 배열한 구성으로 된다. 동일한 워드선(WL0-WL15)에 접속된 메모리 셀에 의해 페이지가 구성된다.

메모리 스트링(a0, a1)은 플로팅 게이트를 가지는 불휘발성 반도체 기억 장치로 이루어지는 메모리 셀 트랜지스터(mT0A-mT15A, mT0B-mT15B)가 직렬로 접속된 NAND 스트링으로 이루어진다. 이 NAND 스트링의 메모리 셀 트랜지스터(mT15A, mT15B)의 드레인이 선택 게이트(sG1A, sG1B)를 각각 통해 비트선(BL0, BL1)에 접속되고, 메모리 셀 트랜지스터(mT0A, mT0B)의 소스가 선택 게이트(sG2A, sG2B)를 각각 통해 기준 전위선 SL에 접속된다. 선택 게이트(sG1A, sG1B)의 게이트는 선택 신호 공급선 DSG에 공통으로 접속된다. 선택 게이트(sG2A, sG2B)는 선택 신호 공급선 SSG에 공통으로 접속된다. 동일 행의 메모리 셀의 제어 게이트가 워드선(WL0, WL1, ...)에 접속된다.

기입 시에는, 예를 들면, 20V의 전압이 선택된 메모리 셀의 워드선에 인가되고, 4치의 다치 데이터가 페이지 단위로 메모리 셀에 기입된다. 이 때, 선택 게이트(sG1A, sG1B)는 도통되어, 선택된 메모리 셀 이외의 워드선에는 패스(pass) 전압이 주어지고, 선택 게이트(sG2A, sG2B)는 비도통(非導通)으로 된다.

메모리 셀 트랜지스터에는 도 8 (A)에 나타난 바와 같은 4치 데이터 기록이 행해진다. 도 8 (A)에 나타난 바와 같이, 기입 시에는 기입 데이터 "00"- "11"의 4치에 따라, 그 메모리 셀의 스레시홀드가 각각 분포 "3"-분포 "0" 내로 되도록 각 메모리 셀에 대하여 기입이 행해진다.

이 때, 베리파이 전압(VVF3-VVF1)에 의해 베리파이 동작이 행해져, 각각의 메모리 셀의 스레시홀드가 각 데이터에 대응하는 분포 "3"-분포 "0"내로 되도록 제어된다. 독출 시에는, 독출 전압(VRD3-VRD1)에 의해 메모리 셀의 스레시홀드가 검출되어 독출이 행해진다.

베리파이 시 및 독출 시에는, 선택된 메모리 셀의 워드선에는 베리파이 전압(VVF3-VVF1) 및 독출 전압(VRD3-VRD1)이 주어지고, 그 이외의 메모리 셀은 도통 상태로 된다. 또, 선택 게이트(sG1A-sG1B) 및 선택 게이트(sG2A, sG2B)는 도통 상태로 된다. 그리고, 이 때 메모리 셀에 전류가 흐르는지 여부에 따라, 메모리 셀의 스레시홀드가 베리파이 전압(VVF3-VVF1) 및 독출 전압(VRD3-VRD1)을 초과하고 있는지 여부가 판단되어, 베리파이 및 독출이 행해진다.

도 7에서, 비트선 전압 발생 회로(22)는 NMOS 트랜지스터(n1-n8) 및 인버터의 입출력끼리를 결합하여 이루어지는 래치 회로(LQ2, LQ1)에 의해 구성된다. 또, 비트선 전압 발생 회로(22)로부터는 전압(VB0, VB1, VB2)의 공급 라인이 도출된다.

비트선 전압 발생 회로(22)에 의해, 기입 시에 기입 데이터에 따른 비트선 전압이 발생되어 메모리 어레이(21)의 메모리 셀에 주어진다. 또, 베리파이 시에는, 비트선 전압 발생 회로(22)의 래치 회로(LQ2, LQ1)의 기억 노드(Q2, Q1)는 메모리 어레이(21)의 메모리 셀에 기입이 충분히 행해지면, "11"에 설정된다. 독출 시에는 메모리 어레이(21)의 메모리 셀의 스레시홀드가 검출되어 데이터의 독출이 행해진다. 이 때, 래치 회로(LQ1, LQ2)의 기억 노드(Q2, Q1)에는 독출된 데이터가 격납되어 간다.

독출/베리파이 제어 회로(23)는 NMOS 트랜지스터(n9-n14)로 구성된다. 이 독출/베리파이 제어 회로(23)는 독출 시 또는 베리파이 시에 래치 회로(LQ2, LQ1)의 상태를 제어하는 것이다. 독출/베리파이 제어 회로(23)로부터는 신호(ϕ LAT1, ϕ LAT2)의 공급 라인이 도출되고, 펄스형의 신호가 공급된다. 독출/베리파이 제어 회로(23)의 NMOS 트랜지스터(n9, n10)의 게이트 전극은 노드 SA에 접속되어 있다. 노드 SA는 메모리 어레이(21)의 메모리 셀의 스레시홀드를 검출하기 위한 노드가 된다. 즉, 나중에 설명하는 바와 같이, 메모리 셀의 스레시홀드가 워드선 전압보다 크면, 셀에 전류가 흐르지 않음에 따라, 노드 SA는 전원 전압 Vcc(예를 들면, 3.3V)로 유지되고, 메모리 셀의 스레시홀드가 워드선 전압보다 작으면, 비트선 전압과 거의 동일한 전압으로 강하된다. 이 노드 SA에 의해, NMOS 트랜지스터(n9, n10)가 제어되고, 독출/베리파이 제어 회로(23)의 동작이 설정된다.

노드 SA와 비트선(BL0)과의 사이에는 고내압의 NMOS 트랜지스터(H3)가 접속되어 있다. 또, 노드 SA와 비트

선(BL1)과의 사이에, 고내압의 NMOS 트랜지스터(H4)가 접속되어 있다. NMOS 트랜지스터(H3)의 게이트 전극에 어드레스 디코드 신호 AnB가 공급된다. NMOS 트랜지스터(H4)의 게이트 전극에 어드레스 디코드 신호 AnN이 공급된다. 그리고, 전원 전압 Vcc의 공급 라인과 비트선(BL0)과의 사이에, 고내압의 NMOS 트랜지스터(H1)가 접속되어 있다. 또, 전원 전압 Vcc의 공급 라인과 비트선(BL1)과의 사이에, 고내압의 NMOS 트랜지스터(H2)가 접속되어 있다. NMOS 트랜지스터(H1)의 게이트 전극에 제어 신호 INHB가 공급되고, NMOS 트랜지스터(H2)의 게이트 전극에 제어 신호 INHN이 공급된다.

노드 SA와 접지 라인(GND)과의 사이에, NMOS 트랜지스터(n2)가 접속된다. 노드 SA와 전원 전압 Vcc의 공급 라인과 사이에, PMOS 트랜지스터(p1)가 접속된다. NMOS 트랜지스터(n2)의 게이트 전극에는, 리셋 신호(RST1)가 공급된다. PMOS 트랜지스터(p1)의 게이트 전극에는 신호 Vref가 공급된다.

노드 SA와 비트선 전압 발생 회로(22)와의 사이에는, NMOS 트랜지스터(n1)가 배설되어 있다. 즉, NMOS 트랜지스터(n1)의 드레인이 노드 SA에 접속된다. NMOS 트랜지스터(n1)의 소스가 NMOS 트랜지스터(n3, n5, n7)의 드레인에 접속된다. NMOS 트랜지스터(n1)의 게이트 전극에는 제어 신호 PGM_RVPC가 공급된다.

NMOS 트랜지스터(n1)의 소스와 전압(VB0)의 공급 라인과 사이에, NMOS 트랜지스터(n3, n4)가 직렬로 접속된다. NMOS 트랜지스터(n1)의 소스와 전압(VB1)의 공급 라인과 사이에, NMOS 트랜지스터(n5, n6)가 직렬로 접속된다. NMOS 트랜지스터(n1)의 소스와 전압(VB2)의 공급 라인과 사이에, NMOS 트랜지스터(n7, n8)가 직렬로 접속된다.

래치 회로(LQ2, LQ1)는 각각 기억 노드(Q2, Q1)와, 그 반전 기억 노드(/Q2, /Q1)를 가지고 있다. 그리고, "/"는 반전을 나타내는 바를 의미하고 있다.

래치 회로(LQ2)의 반전 기억 노드(/Q2)는, NMOS 트랜지스터(n4, n6)의 게이트 전극에 접속된다. 래치 회로(LQ2)의 기억 노드(Q2)는 NMOS 트랜지스터(n8)의 게이트 전극에 접속된다.

래치 회로(LQ1)의 반전 기억 노드(/Q1)는 NMOS 트랜지스터(n3, n7)의 게이트 전극에 접속된다. 래치 회로(LQ1)의 기억 노드(Q1)는 NMOS 트랜지스터(n5)의 게이트 전극에 접속된다.

또, 래치 회로(LQ2)의 기억 노드(Q2), 래치 회로(LQ1)의 기억 노드(Q1)의 각각과 접지 라인과의 사이에, NMOS 트랜지스터(n11, n12)가 각각 접속된다. NMOS 트랜지스터(n11, n12)의 게이트 전극이 리셋 신호(RST2)의 공급 라인에 접속된다.

독출/베리파이 제어 회로(23)에서, NMOS 트랜지스터(n9, n10)의 게이트 전극은 노드 SA에 접속된다. NMOS 트랜지스터(n9)의 드레인이 래치 회로(LQ2)의 반전 기억 노드(/Q2)에 접속된다. NMOS 트랜지스터(n10)의 드레인이 래치 회로(LQ1)의 반전 기억 노드(/Q1)에 접속된다.

NMOS 트랜지스터(n9)의 소스와 접지 라인과의 사이에, NMOS 트랜지스터(n13)가 접속된다. NMOS 트랜지스터(n10)의 소스와 접지 라인과의 사이에 NMOS 트랜지스터(n14)가 접속된다.

독출/베리파이 제어 회로(23)로부터는 신호(ϕ LAT1, ϕ LAT2)의 공급 라인이 도출된다. NMOS 트랜지스터(n13)의 게이트 전극이 신호(ϕ LAT1)의 공급 라인에 접속된다. NMOS 트랜지스터(n14)의 게이트 전극이 신호(ϕ LAT2)에 접속된다.

래치 회로(LQ2)의 기억 노드(Q2)가 도시되지 않아도 소정의 트랜지스터를 통해 데이터 버스 라인에 접속된다. 또, 래치 회로(LQ1)의 기억 노드(Q1)가 도시되지 않아도 소정의 트랜지스터를 통해 데이터 버스 라인에 접속된다.

1-2. 제1 실시 형태의 기입 시의 동작

다음에, 본 발명의 제1 실시 형태의 기입 동작에 대하여, 도 9의 타이밍 차트를 참조하여 설명한다. 스탠바이(standby) 시에는, 신호 PGM_RVPC가 로 레벨로 설정되고, NMOS 트랜지스터(n1)가 비도통 상태로 유지되며, 비트선(BL0, BL1(도 9에서는 BLn, BLn+1로서 나타나 있음))이 비트선 전압 발생 회로(22)로부터 분리되어 있다.

그리고, 신호(RST1)가 하이 레벨로 설정되고, 신호 AnB, AnN이 (Vcc-Vth)로 설정되고, 비트선(BL0, BL1)이 접지 레벨로 설정된다. 그리고, 이 때 신호 INHB, INHN의 각각이 로 레벨로 설정되어 있다.

이 상태에서 기입이 기동(起動)된 경우, 소정의 트랜지스터를 통해 기입 데이터가 래치 회로(LQ2, LQ1)에 수납되어 유지된다.

그 후, 신호(RST1)가 로 레벨로 변환되고, 비트선(BL0, BL1)이 접지 라인으로부터 분리된다. 그리고, 신호 AnB, AnN이 Vcc 이상의 하이 레벨(예를 들면, 독출 시의 패스 전압)로 설정되는 동시에, 신호 Vref가 로 레벨로 되고, PMOS 트랜지스터(p1)가 도통 상태로 유지된다. 이에 따라, 모든 비트선(BL0, BL1)이 전원 전압 Vcc로 충전된다.

이 때, 래치 데이터에 영향이 없도록, 독출/베리파이를 제어하기 위한 신호(ϕ LAT1, ϕ LAT2)가 접지 레벨로 설정된다. 또, 메모리 셀의 드레인측 선택 게이트의 게이트 전극에 접속된 선택 신호 공급선 DSG가 전원 전압 Vcc로 설정된다.

기입 시에는 신호 Vref를 하이 레벨로 하여 프리차지를 중단하고, 어드레스 신호로 선택되지 않는 쪽의 어드레스, 예를 들면 AnN이 접지 레벨 신호 INHN이 하이 레벨로 되어, PGM_RVPC가 하이 레벨로 설정된다. 그리고, 전압(VB2)이 가장 높은 전압으로 되고, 전압(VB1)이 다음으로 높은 전압으로 되고, 전압(VB0)은 접지 레벨이 되도록, 즉, (VB2>VB1>VB0=0)의 관계가 되도록 설정된다.

기입 데이터가 "00"인 경우에는, 래치 회로(LQ2 및 LQ1)의 반전 노드(/Q2 및 /Q1)는 하이 레벨이다. 그러므

로, NMOS 트랜지스터($n3$, $n4$)가 도통 상태로 되고, 비트선(BL0)은 전압(V_{B0})이 되어, 접지 레벨로 설정된다.

기입 데이터가 "01"인 경우에는, NMOS 트랜지스터($n5$, $n6$)가 도통 상태로 되고, 비트선(BL0)은 전압(V_{B1})으로 설정된다.

기입 데이터가 "10"인 경우에는, NMOS 트랜지스터($n7$, $n8$)가 도통 상태로 되고, 비트선(BL0)은 전압(V_{B2})으로 설정된다.

기입 데이터가 "11"인 경우에는, 전압(V_{B0} - V_{B2})으로부터 어느 패스(path)도 비트선(BL0)과 차단되기 때문에, 비트선(BL0)의 전압은 V_{cc} 레벨로 유지된다.

이상의 프로세스에 의해, 선택 비트선(BL0)이 기입 데이터에 따른 전압으로 설정된 후, 선택된 워드선 WL0이 기입 전압 VPGM으로 설정되고, 비선택 워드선이 기입 패스 전압 VPASS로 설정되어 기입이 행해진다.

전술한 바와 같이, 본 발명의 실시 형태에서는 기록 데이터에 따라, 비트선 전압이 변화된다. 이와 같이, 기록 데이터에 따라 비트선 전압을 설정하면 기입 데이터에 따라 셀에 이러한 전계를 설정할 수 있어, 기록 시간의 단축이 도모된다.

1-3. 제1 실시 형태의 베리파이 시의 동작

다음에, 본 발명의 제1 실시 형태의 베리파이 독출 동작에 대하여, 도 10의 타이밍 차트를 참조하여 설명한다. 베리파이 독출 동작에서는, "00", "01", "10"의 기입 체크가 이루어진다.

베리파이 독출 동작은 워드선 전압을 $V_{VF3} \rightarrow V_{VF2} \rightarrow V_{VF1}$ 로 차례로 내려서 행해진다(도 8 (A) 참조). 베리파이 독출 시에는, 워드선 전압에 따라, 전압원 (V_{B0} - V_{B2})은 도 8 (B)에 나타난 바와 같이 설정된다.

즉, 워드선 전압을 V_{VF3} 으로 설정하고 있는 동안에는, 전압(V_{B0})이 전원 전압 V_{cc} 로 설정되고, 다른 전압(V_{B1} , V_{B2})은 접지 레벨(GND)로 설정된다.

워드선 전압을 V_{VF2} 로 설정하고 있는 동안에는, 전압(V_{B1})이 전원 전압 V_{cc} 로 설정되고, 다른 전압(V_{B0} , V_{B2})은 접지 레벨(GND)로 설정된다.

워드선 전압을 V_{VF1} 로 설정하고 있는 동안에는, 전압(V_{B2})이 전원 전압 V_{cc} 로 설정되고, 다른 전압(V_{B0} , V_{B1})은 접지 레벨(GND)로 설정된다.

베리파이에 앞서, 일정 기간, 리셋 신호(RST1)가 하이 레벨, AnB 및 AnN이 P5V(5-6V)로 설정되고, 모든 비트선(BL0, BL1)이 접지 레벨이 된다.

그리고, 리셋 신호(RST1)가 로 레벨로 되돌아온 후, 어드레스 "An"으로 선택되어 있지 않은 쪽, 예를 들면 AnN이 접지 레벨로 되고, 비트선(BL1)이 비트선 전압 발생 회로(22)의 래치 회로로부터 분리된다. 그리고, 비트선을 클램프(clamp)하기 위해, 제어 신호 AnB가 $AnB(V_{AnB}=V_{cc}-V_{th})$ 로 설정된다. 또, 제어 신호 Vref는 비트선의 리크 보상 전류($<1\mu A$)를 흐르게 할만큼의 전압으로 설정된다.

먼저, 워드선 전압을 V_{VF3} 으로 설정했을 때에 대하여 설명한다. 워드선 전압이 V_{VF3} 으로 설정되어 있는 동안에는, 전압(V_{B0})만 전원 전압 V_{cc} 로 설정되고, 다른 전압(V_{B1} , V_{B2})은 접지 레벨로 설정되어 있다. 그리고, 일정 기간, 제어 신호 PGM_RVPC가 도 10에 나타난 타이밍으로 전원 전압 V_{cc} 레벨로 설정되고, NMOS 트랜지스터($n1$)가 도통된다.

여기에서, NMOS 트랜지스터($n3$ 및 $n4$)가 도통 상태에 있으면, 전압(V_{B0})으로부터의 전원 V_{cc} 에 의해, 비트선은 ($V_{AnB}-V_{th}$)로 충전되어 가고, 충전 후, NMOS 트랜지스터(H3)는 컷 오프되고, 노드 SA는 PMOS 트랜지스터($p1$)에 의한 리크 보상 전류에 의해 V_{cc} 로 충전된다. NMOS 트랜지스터($n3$ 및 $n4$)가 비도통 상태라면, 비트선은 충전되지 않고, 접지 레벨로 유지된다. 또, 다른 전압(V_{B1} , V_{B2})은 접지 레벨이므로, 전압(V_{B0})으로부터의 경로 이외의 경로에 의한 충전은 행해지지 않는다.

이와 같이, 워드선 전압을 V_{VF3} 으로 설정하고, 베리파이가 행해질 때에는, NMOS 트랜지스터($n3$ 및 $n4$)가 도통 상태인 때에만, 비트선이 충전된다. NMOS 트랜지스터($n3$ 및 $n4$)가 도통 상태로 되는 것은 래치 회로(LQ2)의 반전 노드(/Q2)가 하이 레벨, 래치 회로(LQ1)의 반전 노드(/Q1)가 하이 레벨로 될 때문이며, 기입 데이터가 "00"인 때이다.

그러므로, 기입 데이터가 "00"인 때에만, 비트선이 충전되고, 다른 기입 데이터인 때에는, 노드 SA는 접지 레벨로 되고, 베리파이의 대상 밖으로 된다.

이 상태에서, 제어 신호 PGM_RVPC가 접지 레벨로 되돌아오고, 선택 비트선(BL0)이 비트선 전압 발생 회로(22)로부터 분리된다.

여기에서, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압 V_{VF3} 보다 큰($V_{th} > V_{VF3}$) 경우에는, 셀에 전류가 흐르지 않음에 따라, 비트선 전압은 변화되지 않고, 노드 SA는 전원 전압 V_{cc} 로 유지된다. 이 때, 당연히 NMOS 트랜지스터($n9$, $n10$)의 게이트 전극은 V_{cc} 레벨이다.

한편, 메모리 셀의 스레시홀드 V_{th} 가 워드선 전압 V_{VF3} 보다 작은($V_{th} < V_{VF3}$) 경우에는, 리크 보상 전류보다 큰 셀 전류가 흘러 비트선 전압은 강하되고, NMOS 트랜지스터(H3)가 온 되어, 전하의 재배분이 일어나고, 노드 SA의 전위는 비트선 전압과 거의 동일($V_{AnB}-V_{th}$)하게 된다. 이 때, NMOS 트랜지스터($n9$, $n10$)는 완전히 도통될 수 없다.

그리고, 일정 시간 경과 후, 펄스형 신호인 신호(ϕ_{LAT1} , ϕ_{LAT2})가 도 10에 나타난 타이밍으로 하이 레벨로 설정된다.

기입 데이터가 "00"이고, 메모리 셀의 스레시홀드 V_{th} 가 워드선 전압(V_{VF3})을 초과하고 있을($V_{th} > V_{VF3}$) 때

에는, 신호(ϕ_{LAT1})가 하이 레벨인 기간에서는, NMOS 트랜지스터(n13)가 도통 상태로 변환된다. 이 때, NMOS 트랜지스터(n9)의 게이트 전극이 V_{cc} 레벨로 되어 있기 때문에, NMOS 트랜지스터(n9)도 도통 상태로 되고, 래치 회로(LQ2)의 반전 노드(/Q2)가 로 레벨로 되고, 래치 회로(LQ2)의 노드(Q2)가 하이 레벨로 반전된다.

신호(ϕ_{LAT2})가 하이 레벨인 기간에서는 NMOS 트랜지스터(n14)가 도통 상태로 변환된다. 이 때, NMOS 트랜지스터(n10)의 게이트 전극이 V_{cc} 레벨로 되어 있기 때문에, NMOS 트랜지스터(n10)도 도통 상태로 되고, 래치 회로(LQ1)의 반전 노드(/Q1)가 로 레벨로 되고, 래치 회로(LQ1)의 노드(Q1)가 하이 레벨로 반전된다.

따라서, 워드선 전압을 VVF3으로 설정했을 때에는, 기입 데이터가 "00"인 메모리 셀에서, 그 스레시홀드 전압 V_{th} 가 워드선 전압 VVF3보다 큰($V_{th} > VVF3$) 경우, 래치 회로(LQ2, LQ1)의 래치 데이터는 "11"로 반전되고, 이후, 재기입에서는 비트선은 전원 전압 V_{cc} , 채널은 비기입 전위로 부스트(boost)되어 기입되지 않는다.

한편, 기입 데이터가 "00"이고 메모리 셀의 스레시홀드 V_{th} 가 워드선 전압(VVF3)보다 작은($V_{th} < VVF3$) 경우에는, 신호(ϕ_{LAT1})가 하이 레벨인 기간에서는, NMOS 트랜지스터(n13)가 도통 상태로 되지만, NMOS 트랜지스터(n9)가 완전히 도통되지 않기 때문에, 래치 회로(LQ2)를 반전시키는 데에 충분한 전류가 흐르지 않는다. 그러므로, 래치 회로(LQ2)의 노드 반전은 일어나지 않는다.

신호(ϕ_{LAT2})가 하이 레벨인 기간에서는 NMOS 트랜지스터(n14)는 도통 상태로 되지만, NMOS 트랜지스터(n10)가 완전히 도통되지 않기 때문에, 래치 회로(LQ1)를 반전시키는 데에 충분한 전류가 흐르지 않는다. 그러므로, 래치 회로(LQ1)의 노드 반전은 일어나지 않는다.

따라서, 워드선 전압을 VVF3으로 설정했을 때에는, 기입 데이터가 "00"인 메모리 셀에서, 그 스레시홀드 전압 V_{th} 가 워드선 전압 VVF3보다 작은($V_{th} < VVF3$) 경우, 래치 회로(LQ2, LQ1)의 래치 데이터는 "00"인 채 변화되지 않고, 재기입 시에 비트선 전압이 기입 전위로 설정되어 기입이 행해진다.

다음에, 워드선 전압을 VVF2로 설정했을 때에 대하여 설명한다. 워드선 전압이 VVF2로 설정되어 있는 동안에는, 전압(VB1)만 전원 전압 V_{cc} 로 설정되고, 다른 전압(VB0, VB2)은 접지 레벨로 설정되어 있다. 그리고, 일정 기간, 제어 신호 PGM_RVPC가 도 10에 나타난 타이밍으로 전원 전압 V_{cc} 레벨로 설정되고, NMOS 트랜지스터(n1)가 도통된다.

여기에서, NMOS 트랜지스터(n5 및 n6)가 도통 상태에 있으면, 전압(VB1)으로부터의 전원 V_{cc} 에 의해, 비트선은 ($V_{AnB}-V_{th}$)로 충전되어 가고, 충전 후, N 채널 NMOS 트랜지스터(H3)는 컷 오프되고, 노드 SA는 PMOS 트랜지스터(p1)의 리크 보상 전류에 의해 V_{cc} 로 충전된다. NMOS 트랜지스터(n5 및 n6)가 비도통 상태라면, 비트선은 충전되지 않고, 접지 레벨로 유지된다. 또, 다른 전압(VB0, VB2)은 접지 레벨이므로, 전압(VB1)으로부터의 경로 이외의 경로에 의한 충전은 행해지지 않는다.

이와 같이, 워드선 전압을 VVF2로 설정하여 베리파이가 행해질 때에는, 제어 신호 PGM_RVPC를 전원 전압 V_{cc} 레벨로 설정하면, NMOS 트랜지스터(n5 및 n6)가 도통 상태인 때에만, 비트선이 충전된다.

NMOS 트랜지스터(n5 및 n6)가 도통 상태로 되는 것은, 래치 회로(LQ2)의 반전 노드(/Q2)가 하이 레벨, 래치 회로(LQ1)의 노드(Q1)가 하이 레벨로 될 때문이며, 기입 데이터가 "01"인 때이다.

그러므로, 워드선 전압을 VVF2로 설정하고, 기입 데이터가 "01"인 베리파이를 행할 때에는, 기입 데이터가 "01"인 때에만, 비트선이 충전되고, 다른 기입 데이터인 때에는 비트선은 접지 레벨로 되어, 베리파이의 대상 밖으로 된다.

이 상태에서, 워드선 전압을 VVF2로 설정하고, 베리파이 독출이 행해진다. 여기에서, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VVF2)보다 큰($V_{th} > VVF2$) 경우에는, 셀에 전류가 흐르지 않음에 따라, 비트선 전압은 변화되지 않고, 노드 SA는 전원 전압 V_{cc} 로 유지된다. 당연히, NMOS 트랜지스터(n9, n10)의 게이트 전극은 V_{cc} 레벨이다.

한편, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VVF2)보다 작은($V_{th} < VVF2$) 경우에는, 리크 보상 전류보다 큰 셀 전류가 흘러 비트선 전압은 강하되고, NMOS 트랜지스터(H3)가 온 되어, 전하의 재배분이 일어나고, 노드 SA의 전위는 비트선 전압과 거의 동일($V_{AnB}-V_{th}$)하게 된다. 이 때, NMOS 트랜지스터(n9, n10)는 완전히 도통될 수 없다.

그리고, 일정 시간 경과 후, 펄스형 신호인 신호(ϕ_{LAT1})가 도 10에 나타난 타이밍으로 하이 레벨로 설정된다.

기입 데이터가 "01"이고 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압 VVF2보다 큰($V_{th} > VVF2$) 경우에는, 신호(ϕ_{LAT1})가 하이 레벨인 기간에서는, NMOS 트랜지스터(n13)가 도통 상태로 변환된다. 이 때, NMOS 트랜지스터(n9)의 게이트 전극이 V_{cc} 레벨로 되어 있기 때문에, NMOS 트랜지스터(n9)도 도통 상태로 되고, 래치 회로(LQ2)의 반전 노드(/Q2)가 로 레벨로 되고, 래치 회로(LQ2)의 노드(Q2)가 하이 레벨로 반전된다.

따라서, 워드선 전압을 VVF2로 설정했을 때에는, 기입 데이터가 "01"인 메모리 셀에서, 그 스레시홀드 전압 V_{th} 가 워드선 전압 VVF2보다 큰($V_{th} > VVF2$) 경우, 래치 회로(LQ2, LQ1)의 래치 데이터는 "11"로 반전되고, 이후, 재기입에서는 비트선은 전원 전압 V_{cc} , 채널은 비기입 전위로 부스트되어 기입되지 않는다.

한편, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VVF2)보다 작은($V_{th} < VVF2$) 경우에는, 신호(ϕ_{LAT1})가 하이 레벨인 기간에서는, NMOS 트랜지스터(n13)가 도통 상태로 되지만, NMOS 트랜지스터(n9)가 완전히 도통되지 않기 때문에, 래치 회로(LQ2)를 반전시키는 데에 충분한 전류가 흐르지 않는다. 그러므로, 래치 회로(LQ2)의 노드 반전은 일어나지 않는다.

따라서, 워드선 전압을 VVF2로 설정했을 때에는, 기입 데이터가 "01"인 메모리 셀에서, 그 스레시홀드 전압 V_{th} 가 워드선 전압 VVF2보다 작은($V_{th} < VVF2$) 경우, 래치 회로(LQ2, LQ1)의 래치 데이터는 "01"인 채 변화되

지 않고, 재가입 시에 비트선 전압이 기입 전위로 설정되어 기입이 행해진다.

다음에, 워드선 전압을 VWF1로 설정했을 때에 대하여 설명한다. 워드선 전압이 VWF1로 설정되어 있는 동안에는, 전압(VB2)만 전원 전압 Vcc로 설정되고, 다른 전압(VB0, VB1)은 접지 레벨로 설정되어 있다. 그리고, 일정 기간, 제어 신호 PGM_RVPC가 도 10에 나타난 타이밍으로 전원 전압 Vcc 레벨로 설정되고, NMOS 트랜지스터(n1)가 도통된다.

여기에서, NMOS 트랜지스터(n7 및 n8)가 도통 상태에 있으면, 전압(VB2)으로부터의 전원 Vcc에 의해, 비트선은 (VANB-Vth)로 충전되어 가고, 충전 후, N 채널 NMOS 트랜지스터(H3)는 컷 오프되고, 노드 SA는 PMOS 트랜지스터(p1)의 리크 보상 전류에 의해 Vcc로 충전된다. NMOS 트랜지스터(n7 및 n8)가 비도통 상태라면, 비트선은 충전되지 않고, 접지 레벨로 유지된다. 또, 다른 전압(VB0, VB1)은 접지 레벨이므로, 전압(VB2)으로부터의 경로 이외의 경로에 의한 충전은 행해지지 않는다.

이와 같이, 워드선 전압을 VWF1로 설정하여 베리파이가 행해질 때에는, 제어 신호 PGM_RVPC를 전원 전압 Vcc 레벨로 설정하면, NMOS 트랜지스터(n7 및 n8)가 도통 상태인 때에만, 비트선이 충전된다.

NMOS 트랜지스터(n7 및 n8)가 도통 상태로 되는 것은, 래치 회로(LQ2)의 노드(Q2)가 하이 레벨, 래치 회로(LQ1)의 반전 노드(/Q1)가 하이 레벨로 될 때문이며, 기입 데이터가 "10"인 때이다.

그러므로, 워드선 전압을 VWF1로 설정하고, 기입 데이터가 "10"인 베리파이를 행할 때에는, 기입 데이터가 "10"인 때에만, 비트선이 충전되고, 다른 기입 데이터인 때에는 비트선은 접지 레벨로 되어, 베리파이의 대상 밖으로 된다.

이 상태에서, 워드선 전압을 VWF1로 설정하고, 베리파이 독출이 행해진다. 여기에서, 메모리 셀의 스레시홀드 전압 Vth가 워드선 전압 VWF1보다 큰(Vth>VWF1) 경우에는, 셀에 전류가 흐르지 않음에 따라, 비트선 전압은 변화되지 않고, 노드 SA는 전원 전압 Vcc로 유지된다. 이 때, 당연히, NMOS 트랜지스터(n9, n10)의 게이트 전극은 Vcc 레벨이다.

한편, 메모리 셀의 스레시홀드 전압 Vth가 워드선 전압 VWF1보다 작은(Vth<VWF1) 경우에는, 리크 보상 전류보다 큰 셀 전류가 흘러 비트선 전압은 강하되고, NMOS 트랜지스터(H3)가 온 되어, 전하의 재배분이 일어나고, 노드 SA의 전위는 비트선 전압과 거의 동일(VANB-Vth)하게 된다. 이 때, NMOS 트랜지스터(n9, n10)는 완전히 도통될 수 없다.

그리고, 일정 시간 경과 후, 펄스형 신호인 신호(ϕ LAT2)가 도 10에 나타난 타이밍으로 하이 레벨로 설정된다.

기입 데이터가 "10"이고 메모리 셀의 스레시홀드 전압 Vth가 워드선 전압(VWF1)보다 큰(Vth>VWF1) 경우에는, 신호(ϕ LAT2)가 하이 레벨인 기간에서는, NMOS 트랜지스터(n14)가 도통 상태로 변환된다. 이 때, NMOS 트랜지스터(n10)의 게이트 전극이 Vcc 레벨로 되어 있기 때문에, NMOS 트랜지스터(n10)도 도통 상태로 되고, 래치 회로(LQ1)의 반전 노드(/Q2)가 로 레벨로 되고, 래치 회로(LQ1)의 노드(Q2)가 하이 레벨로 반전된다.

따라서, 워드선 전압을 VWF1로 설정했을 때에는, 기입 데이터가 "10"인 메모리 셀에서, 그 스레시홀드 전압 Vth가 워드선 전압(VWF1)보다 큰(Vth>VWF1) 경우, 래치 회로(LQ2, LQ1)의 래치 데이터는 "11"로 반전되고, 이후, 재가입에서는 비트선은 전원 전압 Vcc, 채널은 비가입 전위로 부스트되어 기입되지 않는다.

한편, 메모리 셀의 스레시홀드 전압 Vth가 워드선 전압(VWF1)보다 작은(Vth<VWF1) 경우에는, 신호(ϕ LAT2)가 하이 레벨인 기간에서는, NMOS 트랜지스터(n14)가 도통 상태로 되지만, NMOS 트랜지스터(n10)가 완전히 도통되지 않기 때문에, 래치 회로(LQ1)를 반전시키는 데에 충분한 전류가 흐르지 않는다. 그러므로, 래치 회로(LQ1)의 노드 반전은 일어나지 않는다.

따라서, 워드선 전압을 VWF1로 설정했을 때에는, 기입 데이터가 "10"인 메모리 셀에서, 그 스레시홀드 전압 Vth가 워드선 전압(VWF1)보다 작은(Vth<VWF1) 경우, 래치 회로(LQ2, LQ1)의 래치 데이터는 "10"인 채 변화되지 않고, 재가입 시에 비트선 전압이 기입 전위로 설정되어 기입이 행해진다.

전술한 바와 같이, 본 발명의 제1 실시 형태에서는, 베리파이 시에는 전압(VB0, VB1, VB2) 중의 하나를 전원 전압 Vcc로 하고, 다른 전압을 접지 레벨로 하여, 기입 데이터에 따라 NMOS 트랜지스터(n3 및 n4, n5 및 n6, n7 및 n8)를 제어하고, 전압(VB0, VB1, VB2) 중의 하나로부터 비트선의 충전 전류를 흐르게 함으로써, 다른 기입 데이터를 베리파이의 대상 밖으로 하고 있다. 즉, 워드선 전압(VWF3) 셀의 베리파이 시에는 전압(VB0)을 사용함으로써, "00" 이외를 베리파이의 대상 밖으로 하고, 워드선 전압(VWF2) 셀의 베리파이 시에는 전압(VB1)을 사용함으로써, "01" 이외를 베리파이의 대상 밖으로 하고, 워드선 전압(VWF1) 셀의 베리파이 시에는 전압(VB2)을 사용함으로써, "10" 이외를 베리파이의 대상 밖으로 하고 있다. 이에 따라, 베리파이 시의 회로 구성이 간략화되어 있다.

1-4. 제1 실시 형태의 독출 시의 동작

다음에, 본 발명의 제1 실시 형태의 독출 동작에 대하여, 도 11의 타이밍 차트를 참조하여 설명한다. 스탠바이 시에는 제어 신호 AnB, AnN은 (Vcc-Vth)의 레벨에 있고, 리셋 신호(RST1)는 하이 레벨로 설정되고, 모든 비트선은 접지 레벨로 된다.

이 상태에서 독출 동작이 기동되면, 리셋 신호(RST1)가 로 레벨로 되고, 비트선은 접지 라인으로부터 분리된다. 그리고, 선택 비트선이 예를 들면, 짝수 비트선인 경우, AnB가 P5V 레벨, AnB는 접지 레벨로 설정되고, 홀수 비트선은 래치로부터 분리되고, 제어 신호 AnB는 (Vcc-Vth(=VANB))로 유지되어, 제어 신호 Vref에 비트선의 리크를 보상하는 전류를 흐르게 하기 위한 전압이 인가된다. 이와 동시에, 리셋 신호(RST2)에 하이 레벨이 설정되고, NMOS 트랜지스터(n11, n12)가 도통되어, 래치 회로(LQ2, LQ1)의 노드(Q2, Q1)가 모두 "0"으로 리셋된다.

독출 동작은 워드선을 VRD3→VRD2→VRD1로 차례로 내려서 행해진다(도 8 (A)참조). 독출 시에는, 도 8 (C)에 나타난 바와 같이, 전압(VB0)은 Vcc 레벨, 전압(VB1), 전압(VB2)은 접지 레벨로 항상 설정된다.

먼저, 선택 워드선 전압이 VRD3으로 설정되고, 제어 신호 PGM_RVPC가 전원 전압 Vcc로 설정되고, NMOS 트랜지스터(n1)가 도통 상태로 설정된다.

여기에서, NMOS 트랜지스터(n4, n3)가 도통 상태에 있으면, 전압(VB0)으로부터의 전류가 NMOS 트랜지스터(n4, n3, n1)를 통해 흘러 비트선이 충전된다. 독출의 개시 시에는, 래치 회로(LQ2, LQ1)가 모두 "0"으로 리셋되어 있기 때문에, 래치 회로(LQ2)의 반전 노드(/Q2)는 "1", 래치 회로(LQ1)의 반전 노드(/Q1)는 "1"이다. 따라서, 이 때 NMOS 트랜지스터(n4, n3)는 도통 상태이다.

따라서, 선택 워드선 전압이 VRD3으로 설정되고, 제어 신호 PGM_RVPC가 전원 전압 Vcc로 설정되면, 모든 짝수 비트선은 (VANB-Vth)로 충전되고, NMOS 트랜지스터(H3)가 컷 오프됨에 따라, 모든 노드 SA는 리크 보상 전류에 의해 Vcc로 충전된다. 그 후, 제어 신호 PGM_RVPC가 접지 레벨로 되돌아온다.

워드선 전압이 VRD3에서의 독출 결과, 메모리 셀의 스레시홀드 전압 Vth가 워드선 전압 VRD3보다 큰(Vth>VRD3) 경우, 셀 전류가 흐르지 않음에 따라, 노드 SA는 전원 전압 Vcc로 유지된다. 이 때, NMOS 트랜지스터(n9, n10)가 도통 상태로 된다.

그리고, 일정 시간 경과 후, 펄스형 신호인 ϕLAT1 , ϕLAT2 가 도 11에 나타난 타이밍으로 하이 레벨로 설정된다.

신호(ϕLAT1)가 하이 레벨로 설정되면, NMOS 트랜지스터(n13)가 도통 상태로 설정된다. 그리고, NMOS 트랜지스터(n9)의 게이트 전극이 Vcc 레벨로 되어 있기 때문에, NMOS 트랜지스터(n9)도 도통되어, 래치 회로(LQ2)의 반전 노드(/Q2)가 "0"이 되고, 래치 회로(LQ2)의 노드(Q2)가 "1"로 반전된다.

신호(ϕLAT2)가 하이 레벨로 설정되면, NMOS 트랜지스터(n14)가 도통 상태로 설정된다. 그리고, NMOS 트랜지스터(n10)의 게이트 전극이 Vcc 레벨로 되어 있기 때문에, NMOS 트랜지스터(n10)도 도통되어, 래치 회로(LQ1)의 반전 노드(/Q2)가 "0"이 되고, 래치 회로(LQ1)의 노드(Q2)가 "1"로 반전된다.

따라서, 메모리 셀의 스레시홀드 전압 Vth가 워드선 전압 VRD3보다 큰(Vth>VRD3) 경우, 래치 회로(LQ2, LQ1)의 래치 데이터가 "11"로 반전된다. 그리고, 독출 데이터는 반전되어 있고, 래치 데이터가 "11"인 때의 독출 데이터는 "00"이다.

한편, 메모리 셀의 스레시홀드 전압 Vth가 워드선 전압(VRD3) 이하(Vth<VRD3)이면, 리크 보상 전류보다 큰 셀 전류가 흘러 비트선 전압은 강하되고, NMOS 트랜지스터(H3)가 도통 상태로 되어, 전하의 재배분이 일어나고, 노드 SA의 전압은 비트선 전압과 거의 동일(VANB-Vth)하게 된다. 그러므로, NMOS 트랜지스터(n9, n10)는 완전히 도통되지 않는다.

그리고, 일정 시간 경과 후, 펄스형 신호인 신호(ϕLAT1 , ϕLAT2)가 도 10에 나타난 타이밍으로 하이 레벨로 설정된다.

신호(ϕLAT1)가 하이 레벨로 설정되면, NMOS 트랜지스터(n13)가 도통 상태로 설정되지만, NMOS 트랜지스터(n9)는 완전히 도통되어 있지 않다. 따라서, 래치 회로(LQ2)를 반전시키기 위한 충분한 전류를 흐르게 할 수 없어, 래치 회로(LQ2)의 노드 반전은 발생하지 않는다.

신호(ϕLAT2)가 하이 레벨로 설정되면, NMOS 트랜지스터(n14)가 도통 상태로 설정되지만, NMOS 트랜지스터(n10)는 완전히 도통되어 있지 않다. 따라서, 래치 회로(LQ1)을 반전시키기 위한 충분한 전류를 흐르게 할 수 없어, 래치 회로(LQ1)의 노드 반전은 발생하지 않는다.

다음에, 선택 워드선 전압이 VRD2로 설정되고, 제어 신호 PGM_RVPC가 전원 전압 Vcc로 설정되고, NMOS 트랜지스터(n1)가 도통 상태로 설정된다.

여기에서, 선택 워드선 전압이 VRD3으로 설정되어 독출을 행하였을 때에 래치 회로(LQ1 및 LQ2)의 노드 반전이 일어나고 있지 않으면, 래치 회로(LQ1, LQ2)는 초기 상태인 "00"이기 때문에, NMOS 트랜지스터(n3, n4)가 도통되고 있다. 그러므로, 제어 신호 PGM_RVPC가 전원 전압 Vcc로 설정되면, 전압(VB0)으로부터의 전류가 NMOS 트랜지스터(n4, n3, n1)를 통해 흘러, 메모리 셀의 스레시홀드 전압 Vth가 VRD3보다 낮은 셀이 연결되는 모든 짝수 비트선은 (VANB-Vth)로 충전된다.

이에 대하여, 선택 워드선 전압이 VRD3으로 설정되어 독출을 행하였을 때에 래치 회로(LQ1 및 LQ2)의 노드 반전이 일어나고 있으면, NMOS 트랜지스터(n4, n3)가 비도통 상태로 되어, 전압원(VB0)으로부터 분리되고, 또한 전압원(VB1, VB2)과도 접속되지 않고, 짝수 비트선은 Vcc 레벨을 유지한 채 플로팅(floating) 된다. 이 상태에서는, 이미 반전되어 있는 래치 회로(LQ1 및 LQ2)의 래치 데이터에는 영향이 없다.

그 후, 제어 신호 PGM_RVPC가 접지 레벨로 되돌아온다. 이 때, 전회까지 노드의 반전이 일어나고 있지 않은 셀이 연결되는 짝수 비트선은 (VANB-Vth)로 충전되고, NMOS 트랜지스터(H3)가 컷 오프됨에 따라, 모든 노드 SA는 Vcc로 충전된다.

여기에서, 메모리 셀의 스레시홀드 전압 Vth가 워드선 전압 VRD2보다 큰(Vth>VRD2) 경우, 셀 전류가 흐르지 않음에 따라, 노드 SA는 전원 전압 Vcc로 유지된다. 이 때, NMOS 트랜지스터(n9, n10)는 도통 상태로 된다.

그리고, 일정 시간 경과 후, 펄스형 신호인 신호(ϕLAT1)가 도 11에 나타난 타이밍으로 하이 레벨로 설정된다.

신호(ϕLAT1)가 하이 레벨로 설정되면, NMOS 트랜지스터(n13)가 도통 상태로 설정된다. 이 때, NMOS 트랜지스터(n9)가 도통 상태이기 때문에, 래치 회로(LQ2)의 반전 노드(/Q2)가 "0"이 되고, 래치 회로(LQ2)의 노드(Q2)가 "1"로 반전된다.

따라서, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압 $VRD2$ 보다 큰($V_{th} > VRD2$) 경우, 전회까지의 반전이 일어나고 있지 않으면, 래치 회로(LQ2, LQ1)의 래치 데이터가 "10"으로 반전된다. 전회까지 래치의 반전이 일어나 래치 데이터가 "11"인 경우에는, 그 데이터는 유지된다. 그리고, 독출 데이터는 반전되어 있어, 래치 데이터가 "10"인 때의 독출 데이터는 "01"이다.

메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압($VRD2$)보다 작은($V_{th} < VRD2$) 경우에는, 리크 보상 전류보다 큰 셀 전류가 흘러 비트선 전압은 강하되고, NMOS 트랜지스터(H3)가 도통 상태로 되어, 전하의 재분배가 일어나고, 노드 SA의 전압은 비트선 전압과 거의 동일($V_{AnB-V_{th}}$)하게 된다. 그러므로, NMOS 트랜지스터(n9, n10)는 완전히 도통되지 않는다.

그리고, 일정 시간 경과 후, 펄스형 신호인 신호(ϕ_{LAT1})가 도 11에 나타난 타이밍으로 하이 레벨로 설정된다.

신호(ϕ_{LAT1})가 하이 레벨로 설정되면, NMOS 트랜지스터(n13)가 도통 상태로 설정되지만, NMOS 트랜지스터(n9)는 완전히 도통되어 있지 않다. 따라서, 래치 회로(LQ2)를 반전시키기 위한 충분한 전류를 흐르게 할 수 없어, 래치 회로(LQ2)의 노드 반전은 발생하지 않는다.

다음에, 선택 워드선 전압이 $VRD1$ 로 설정되고, 제어 신호 PGM_RVPC 가 전원 전압 V_{cc} 로 설정되고, NMOS 트랜지스터(n1)가 도통 상태로 설정된다.

여기에서, 전회까지의 독출에서 래치 회로(LQ1 및 LQ2)의 노드 반전이 일어나고 있지 않으면, NMOS 트랜지스터(n4, n3)가 도통 상태로 되고, 전압($VB0$)에 의해 비트선이 충전된다. 그리고, 전회까지의 독출에서 래치 회로(LQ1 및 LQ2)의 노드 반전이 일어나고 있으면, NMOS 트랜지스터(n4, n3)가 비도통 상태로 되어, 전압원($VB0$)으로부터 분리되고, 또한 전압원($VB1$, $VB2$)과도 접속되지 않고, 짝수 비트선은 V_{cc} 레벨을 유지한 채 플로팅된다. 이 상태에서는, 이미 반전되어 있는 래치 회로(LQ1 및 LQ2)의 래치 데이터에는 영향이 없다. 또, 전회까지의 독출에서, 래치 회로(LQ2)측의 노드에만 반전이 일어나고 있으면, NMOS 트랜지스터(n4)가 비도통 상태로 되어 전압원($VB0$)으로부터 분리되고, NMOS 트랜지스터(n7, n8)가 도통되어 전압원($VB2$)에 접속된다. 이 경우에는, 전압($VB1$ 및 $VB2$)은 접지 레벨이므로, 노드 SA는 접지 레벨로 되어, 독출 동작의 대상 밖으로 된다.

그 후, 제어 신호 PGM_RVPC 가 접지 레벨로 되돌아오고, 이 때 독출 동작의 대상이 되는 짝수 비트선은 ($V_{AnB-V_{th}}$)로 충전되고, NMOS 트랜지스터(H3)가 컷 오프됨에 따라, 독출 동작의 대상이 되는 노드 SA는 V_{cc} 로 충전된다.

여기에서, 워드선 전압이 $VRD1$ 에서의 독출 결과, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압($VRD1$)보다 큰($V_{th} > VRD1$) 경우, 셀 전류가 흐르지 않음에 따라, 노드 SA는 전원 전압 V_{cc} 로 유지된다. 이 때, NMOS 트랜지스터(n9, n10)는 도통 상태로 된다.

그리고, 일정 시간 경과 후, 펄스형 신호인 신호(ϕ_{LAT2})가 도 11에 나타난 타이밍으로 하이 레벨로 설정된다.

신호(ϕ_{LAT2})가 하이 레벨로 설정되면, NMOS 트랜지스터(n14)가 도통 상태로 설정된다. 이 때, NMOS 트랜지스터(n10)가 도통 상태로 되고, 래치 회로(LQ1)의 반전 노드($Q2$)가 "0"이 되고, 래치 회로(LQ1)의 노드($Q2$)가 "1"로 반전된다.

따라서, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압 $VRD1$ 보다 큰($V_{th} > VRD1$) 경우, 전회까지의 반전이 일어나고 있지 않으면, 래치 회로(LQ2, LQ1)의 래치 데이터가 "01"로 반전된다. 전회까지 래치의 반전이 일어나고 있으면, 그 데이터는 유지된다. 독출 데이터는 반전되어 있어, 래치 데이터가 "01"인 때의 독출 데이터는 "10"이다.

메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압 $VRD1$ 이하($V_{th} < VRD1$)이면, 리크 보상 전류보다 큰 셀 전류가 흘러 비트선 전압은 강하되고, NMOS 트랜지스터(H3)가 도통 상태로 되어, 전하의 재분배가 일어나고, 노드 SA의 전압은 비트선 전압과 거의 동일($V_{AnB-V_{th}}$)하게 된다. 그러므로, NMOS 트랜지스터(n9, n10)는 완전히 도통되지 않는다.

그리고, 일정 시간 경과 후, 펄스형 신호인 신호(ϕ_{LAT2})가 도 11에 나타난 타이밍으로 하이 레벨로 설정된다.

신호(ϕ_{LAT2})가 하이 레벨로 설정되면, NMOS 트랜지스터(n14)가 도통 상태로 설정되지만, NMOS 트랜지스터(n10)는 완전히 도통되어 있지 않다. 따라서, 래치 회로(LQ2)를 반전시키기 위한 충분한 전류를 흐르게 할 수 없어, 래치 회로(LQ2)의 노드 반전은 발생하지 않는다.

전술한 바와 같이, 이 제1 실시 형태에서는, 독출 시에는 전회까지의 독출에서 래치 회로 데이터의 반전이 발생하고 있는 경우에는, 독출의 대상 밖으로 하고, 전회까지의 독출에서 래치 회로 데이터의 반전이 발생하고 있지 않은 경우에만, 독출을 행하고 있다. 이와 같은 구성으로 함으로써, 회로 규모의 축소가 도모되고 있다.

그리고, 선택 워드선 전압을 $VRD3$ - $VRD1$ 로 설정하고, 모두 래치의 반전이 발생하지 않으면, 래치 회로(LQ2, LQ1)의 데이터는 "00"인 채이다. 래치 회로가 "00"인 때, 독출 데이터는 "11"이다.

2. 제2 실시 형태

도 12는 본 발명에 관한 불휘발성 반도체 기억 장치의 제2 실시 형태를 나타낸 것이다. 이 불휘발성 반도체 기억 장치는 기억 다치 레벨이 8치에 대응한 것이다.

2-1. 제2 실시 형태의 전체 구성

도 12에 나타난 바와 같이, 본 발명이 적용된 불휘발성 반도체 기억 장치는 메모리 어레이(11)와, 비트선 전압 발생 회로(12)와, 독출/베리파이 제어 회로(13)에 의해 구성된다.

메모리 어레이(11)는 도 13에 나타난 바와 같이, 각각 메모리 셀이 공통의 워드선(WL0-WL15)에 접속된 메

모리 스트링(A0, A1, ...)을 매트릭스형으로 배열한 구성으로 된다. 동일한 워드선(WL0-WL15)에 접속된 메모리 셀에 의해 페이지가 구성된다.

메모리 스트링(A0, A1)은 플로팅 게이트를 가지는 불휘발성 반도체 기억 장치로 이루어지는 메모리 셀 트랜지스터(MT0A-MT15A, MT0B-MT15B)가 직렬로 접속된 NAND 스트링으로 이루어진다. 이 NAND 스트링의 메모리 셀 트랜지스터(MT0A)의 드레인이 선택 게이트(SG1A, SG1B)를 각각 통해 비트선(BL0, BL1)에 접속되고, 메모리 셀 트랜지스터(MT15A, MT15B)의 소스가 선택 게이트(SG2A, SG2B)를 각각 통해 기준 전위선 VGL에 접속된다. 선택 게이트(SG1A, SG1B)의 게이트는 선택 신호 공급선 SSL에 공통으로 접속된다. 선택 게이트(SG2A, SG2B)의 게이트는 선택 신호 공급선 GSL에 공통으로 접속된다. 동일 행의 메모리 셀의 제어 게이트가 공통의 워드선(WL0, WL1, ...)에 접속된다.

기입 시에는, 예를 들면, 20V의 전압이 선택된 메모리 셀의 워드선에 인가되고, 8치의 다치 데이터가 페이지 단위로 메모리 셀에 기입된다. 이 때, 선택 게이트(SG1A, SG1B)는 도통되고, 선택된 메모리 셀 이외의 워드선에는 패스 전압이 주어지고, 선택 게이트(SG2A, SG2B)는 비도통된다.

메모리 셀 트랜지스터에는 도 14에 나타난 바와 같은 8치의 데이터 기록이 행해진다. 도 14에 나타난 바와 같이, 기입 시에는 기입 데이터 "000-111"의 8치에 따라, 그 메모리 셀의 스레시홀드가 각각 분포 "7"-분포 "0" 내로 되도록, 각 메모리 셀에 대하여 기입이 행해진다.

이 때, 베리파이 전압(VVF7-VVF1)에 의해 베리파이 동작이 행해지고, 각각의 메모리 셀의 스레시홀드가 각 데이터에 대응하는 분포 "7"-분포 "0" 내로 되도록 제어된다. 독출 시에는, 독출 전압(VRD7-VRD1)에 의해 메모리 셀의 스레시홀드가 검출되고, 독출이 행해진다.

베리파이 시 및 독출 시에는, 선택된 메모리 셀의 워드선에는 베리파이 전압 (VVF7-VVF1) 및 독출 전압(VRD7-VRD1)이 주어지고, 그 이외의 메모리 셀은 도통 상태로 된다. 또, 선택 게이트(SG1A, SG1B) 및 선택 게이트(SG2A, SG2B)는 도통된다. 그리고, 이 때 메모리 셀에 전류가 흐르는지 여부에 따라, 메모리 셀의 스레시홀드가 베리파이 전압(VVF7-VVF1) 및 독출 전압(VRD7-VRD1)을 초과하고 있는지 여부가 판단되어, 베리파이 및 독출이 행해진다.

도 12에서, 비트선 전압 발생 회로(12)는 NMOS 트랜지스터(N1-N15) 및 인버터의 입출력끼리를 결합하여 이루어지는 래치 회로(LQ2, LQ1, LQ0)에 의해 구성된다. 또, 비트선 전압 발생 회로(12)로부터는 전압(VB0, VB1, VB2, VB3)의 공급 라인이 도출된다.

비트선 전압 발생 회로(12)에 의해, 기입 시에 기입 데이터에 따른 비트선 전압이 발생되어 메모리 어레이(11)의 메모리 셀에 주어진다. 또, 베리파이 시에는, 비트선 전압 발생 회로(12)의 래치 회로(LQ2, LQ1, LQ0)의 기억 노드(Q2, Q1, Q0)는 메모리 어레이(11)의 메모리 셀에 기입이 충분히 행해지면, "111"로 설정된다. 독출 시에는 메모리 어레이(11)의 메모리 셀의 스레시홀드가 검출되어 데이터의 독출이 행해진다. 이 때, 래치 회로(LQ0, LQ1, LQ2)의 기억 노드(Q2, Q1, Q0)에는 독출된 데이터가 격납되어 간다.

독출/베리파이 제어 회로(13)는 NMOS 트랜지스터(N16-N28)로 구성된다. 이 독출/베리파이 제어 회로(13)는 독출 시 또는 베리파이 시에 래치 회로(LQ2, LQ1, LQ0)의 상태를 제어하는 것이다. 독출/베리파이 제어 회로(13)로부터는 신호(ϕ LAT0, ϕ LAT1, ϕ LAT2, ϕ LAT3)의 공급 라인이 도출되고, 펄스형의 신호가 공급된다. 독출/베리파이 제어 회로(13)의 NMOS 트랜지스터(N16, N17, N18)의 게이트 전극은 노드 SA에 접속되어 있다. 노드 SA는 메모리 어레이(11)의 메모리 셀의 스레시홀드를 검출하기 위한 노드가 된다. 즉, 나중에 설명하는 바와 같이, 메모리 셀의 스레시홀드가 워드선 전압보다 크면, 셀에 전류가 흐르지 않음에 따라, 노드 SA는 전원 전압 Vcc(예를 들면, 3.3V)로 유지되고, 메모리 셀의 스레시홀드가 워드선 전압보다 작으면, 비트선 전압과 거의 동일한 전압으로 강하된다. 이 노드 SA에 의해, NMOS 트랜지스터(N16, N17, N18)가 제어되고, 독출/베리파이 제어 회로(13)의 동작이 설정된다.

노드 SA와 비트선(BL0)과의 사이에는 고내압의 NMOS 트랜지스터(HN1 및 HN3)의 직렬 접속이 형성된다. 또, 노드 SA와 비트선(BL1)과의 사이에, 고내압의 NMOS 트랜지스터(HN2 및 HN4)의 직렬 접속이 형성된다. NMOS 트랜지스터(HN3)의 게이트 전극에 어드레스 디코드 신호 AiB가 공급된다. NMOS 트랜지스터(HN4)의 게이트 전극에 어드레스 디코드 신호 AiN이 공급된다. NMOS 트랜지스터(HN1, HN2)의 게이트 전극에 제어 신호 TRN이 공급된다.

노드 SA와 접지 라인(GND)과의 사이에, NMOS 트랜지스터(N1)가 접속된다. 노드 SA와 전원 전압 Vcc의 공급 라인과의 사이에, PMOS 트랜지스터(P1)가 접속된다. NMOS 트랜지스터(N1)의 게이트 전극에는, 제어 신호 DIS가 공급된다. PMOS 트랜지스터(P1)의 게이트 전극에는 신호 Vref가 공급된다.

노드 SA와 비트선 전압 발생 회로(12)와의 사이에는, NMOS 트랜지스터(N2)가 배설되어 있다. 즉, NMOS 트랜지스터(N2)의 드레인이 노드 SA에 접속된다. NMOS 트랜지스터(N2)의 소스가 NMOS 트랜지스터(N3, N5, N7, N9)의 드레인에 접속된다. NMOS 트랜지스터(N2)의 게이트 전극에는 제어 신호 PGM_RVPC가 공급된다.

NMOS 트랜지스터(N2)의 소스와 전압(VB0)의 공급 라인과의 사이에, NMOS 트랜지스터(N3, N4)가 직렬로 접속된다. NMOS 트랜지스터(N2)의 소스와 전압(VB1)의 공급 라인과의 사이에, NMOS 트랜지스터(N5, N6)가 직렬로 접속된다. NMOS 트랜지스터(N2)의 소스와 전압(VB2)의 공급 라인과의 사이에, NMOS 트랜지스터(N7, N8)가 직렬로 접속된다. NMOS 트랜지스터(N2)의 소스와 전압(VB3)의 공급 라인과의 사이에, NMOS 트랜지스터(N9, N10, N11)가 직렬로 접속되는 동시에, NMOS 트랜지스터(N11)와 병렬로 NMOS 트랜지스터(N15)가 접속된다.

래치 회로(LQ2, LQ1, LQ0)는 각각 기억 노드(Q2, Q1, Q0)와, 그 반전 기억 노드(/Q2, /Q1, /Q0)를 가지고 있다. 그리고, "/"는 반전을 나타내는 바를 의미하고 있다.

래치 회로(LQ2)의 반전 기억 노드(/Q2)는, NMOS 트랜지스터(N4, N6)의 게이트 전극에 접속된다. 래치

회로(LQ2)의 기억 노드(Q2)는 NMOS 트랜지스터(N7, N9)의 게이트 전극에 접속된다.

래치 회로(LQ1)의 반전 기억 노드(/Q1)는 NMOS 트랜지스터(N3, N8)의 게이트 전극에 접속된다. 래치 회로(LQ1)의 기억 노드(Q1)는 NMOS 트랜지스터(N5, N10)의 게이트 전극에 접속된다.

래치 회로(LQ0)의 반전 기억 노드(/Q0)는 NMOS 트랜지스터(N11)의 게이트 전극에 접속된다. NMOS 트랜지스터(N11)와 병렬로 접속된 NMOS 트랜지스터(15)의 게이트 전극에는 제어 신호 RD의 공급 라인이 접속된다.

또, 래치 회로(LQ2)의 기억 노드(Q2), 래치 회로(LQ1)의 기억 노드(Q1), 래치 회로(LQ0)의 기억 노드(Q0)의 각각과 접지 라인과의 사이에, NMOS 트랜지스터(N12, N13, N14)가 각각 접속된다. NMOS 트랜지스터(N12, N13, N14)의 게이트 전극이 리셋 신호 RST의 공급 라인에 접속된다.

독출/베리파이 제어 회로(13)에서, NMOS 트랜지스터(N16, N17, N18)의 게이트 전극은 노드 SA에 접속된다. NMOS 트랜지스터(N16)의 드레인이 래치 회로(LQ2)의 반전 기억 노드(/Q2)에 접속된다. NMOS 트랜지스터(N17)의 드레인이 래치 회로(LQ1)의 반전 기억 노드(/Q1)에 접속된다. NMOS 트랜지스터(N18)의 드레인이 래치 회로(LQ0)의 반전 기억 노드(/Q0)에 접속된다.

NMOS 트랜지스터(N16)의 소스와 접지 라인과의 사이에, NMOS 트랜지스터(N19, N20)가 직렬로 접속되는 동시에, 이와 병렬적으로 NMOS 트랜지스터(N21, N22)가 직렬로 접속된다. NMOS 트랜지스터(N17)의 소스와 접지 라인과의 사이에 NMOS 트랜지스터(N23, N24)가 직렬로 접속되는 동시에, 이와 병렬적으로 NMOS 트랜지스터(N25, N26)가 직렬로 접속된다. NMOS 트랜지스터(N18)의 소스와 접지 라인과의 사이에, NMOS 트랜지스터(N27, N28)가 직렬로 접속된다. 그리고, NMOS 트랜지스터(N27, N28)를 직렬로 접속하고 있는 것은, 래치 반전의 특성을 맞추기 위해서이다. NMOS 트랜지스터(N27, N28) 중의 한쪽을 생략해도 된다.

그리고, NMOS 트랜지스터(20)의 게이트 전극이 신호(ϕ LAT0)의 공급 라인에 접속되고, NMOS 트랜지스터(N22)의 게이트 전극이 신호(ϕ LAT1)의 공급 라인에 접속되고, NMOS 트랜지스터(N24)의 게이트 전극이 신호(ϕ LAT2)의 공급 라인에 접속되고, NMOS 트랜지스터(N26)의 게이트 전극이 신호(ϕ LAT3)의 공급 라인에 접속되고, NMOS 트랜지스터(N27, N28)의 게이트 전극이 신호(ϕ LAT4)의 공급 라인에 접속된다.

래치 회로(LQ2)의 기억 노드(Q2)와 버스 라인(IO0)과의 사이에, NMOS 트랜지스터(N31)가 접속되고, 래치 회로(LQ1)의 기억 노드(Q1)와 버스 라인(IO1)과의 사이에 NMOS 트랜지스터(N32)가 접속되고, 래치 회로(LQ0)의 기억 노드(Q0)와 버스 라인(IO2)과의 사이에 NMOS 트랜지스터(N33)가 접속된다.

또, 칼럼 게이트로서의 NMOS 트랜지스터(N31, N32, N33)의 게이트 전극이 신호(YO_0)의 공급 라인에 접속된다.

2-2. 제2 실시 형태의 기입 시의 동작

다음에, 본 발명의 제2 실시 형태의 기입 동작을 도 15를 참조하여 설명한다. 스태바이 시에는, 신호 PGM_RVPC가 로 레벨로 설정되고, NMOS 트랜지스터(N2)가 비도통 상태로 유지되며, 비트선(BL0, BL1(도 15에서는 BLn, BLn+1로서 나타나 있음))이 비트선 전압 발생 회로로부터 분리되어 있다.

그리고, 신호 DIS가 하이 레벨로 설정되고, 신호 TRN, AiB, AiN이 ($V_{cc}-V_{th}$)로 설정되고, 비트선(BL0, BL1)이 접지 레벨로 설정된다.

이 상태에서 기입이 기동된 경우, 신호(Y)_0가 하이 레벨로 설정되고, 기입 데이터가 래치 회로(LQ2, LQ1, LQ0)에 수납되어 유지된다.

그 후, 신호 DIS가 로 레벨로 변환되고, 비트선(BL0, BL1)이 접지 라인으로부터 분리된다. 그리고, 신호 TRN, AiB, AiN이 V_{cc} 이상의 하이 레벨(예를 들면, 독출 시의 패스 전압)로 설정되는 동시에, 신호 Vref가 로 레벨로 되고, PMOS 트랜지스터(P1)가 도통 상태로 유지된다. 이에 따라, 모든 비트선(BL0, BL1)이 전원 전압 V_{cc} 로 충전된다.

이 때, 래치 데이터에 영향이 없도록, 독출/베리파이를 제어하기 위한 신호(ϕ LAT1- ϕ LAT4)가 접지 레벨로 설정된다. 또, 메모리 셀의 드레인측 선택 게이트의 게이트 전극에 접속된 선택 신호 공급선이 전원 전압 V_{cc} 로 설정된다.

기입 시에는 신호 Vref를 하이 레벨로 하여 프리차지를 중단하고, 어드레스 신호로 선택되지 않은 쪽의 어드레스, 예를 들면 AiN이 접지 레벨로 되고, PGM_RVPC가 하이 레벨로 설정된다. 그리고, 전압(VB3)이 가장 높은 전압으로 되고, 전압(VB2)이 다음으로 높은 전압으로 되고, 전압(VB1)이 그 다음으로 높은 전압으로 되고, 전압(VB0)은 접지 레벨이 되도록 설정된다.

기입 데이터가 "00x"(x는 0 또는 1)인 경우에는, 래치 회로(LQ2 및 LQ1)의 반전 노드(/Q2 및 /Q1)는 하이 레벨이다. 그러므로, NMOS 트랜지스터(N3, N4)가 도통 상태로 되고, 비트선(BL0)은 전압(VB0)이 되어, 접지 레벨로 설정된다.

기입 데이터가 "01x"인 경우에는, NMOS 트랜지스터(N5, N6)가 도통 상태로 되고, 비트선(BL0)은 전압(VB1)으로 설정된다.

기입 데이터가 "10x"인 경우에는, NMOS 트랜지스터(N7, N8)가 도통 상태로 되고, 비트선(BL0)은 전압(VB2)으로 설정된다.

기입 데이터가 "110"인 경우에는, NMOS 트랜지스터(N9, N10, N11)가 도통 상태로 되고, 비트선(BL0)은 전압(VB3)으로 설정된다.

기입 데이터가 "111"인 경우에는, 전압(VB0-VB3)으로부터의 어느 패스(path)도 비트선과 차단되기 때문에,

비트선의 전압은 Vcc 레벨로 유지된다.

이상의 프로세스에 의해, 선택 비트선(BL0)이 기입 데이터에 따른 전압으로 설정된 후, 선택된 워드선 WL이 기입 전압으로 설정되고, 비선택 워드선이 기입 패스 전압으로 설정되어 기입이 행해진다.

전술한 바와 같이, 본 발명의 실시 형태에서는 기록 데이터에 따라, 비트선 전압이 변화된다. 이와 같이, 기록 데이터에 따라 비트선 전압을 설정하면 기입 데이터에 따라 셀에 이러한 전계를 설정할 수 있고, 모든 데이터를 동시에 기입함으로써, 기록 시간의 단축이 도모된다.

2-3. 제2 실시 형태의 베리파이 시의 동작

다음에, 본 발명의 제2 실시 형태의 베리파이 독출 동작에 대하여, 도 16의 타이밍 차트를 참조하여 설명한다.

베리파이 독출 시에는, 워드선 전압에 따라, 전압원(VB0-VB3)은 도 17 (A)에 나타난 바와 같이 설정된다.

즉, 워드선 전압을 VVF7로 설정하고 있는 동안과 워드선 전압을 VVF6으로 설정하고 있는 동안에는, 전압(VB0)이 전원 전압 Vcc로 설정되고, 다른 전압(VB1, VB2, VB3)은 접지 레벨로 설정된다.

워드선 전압을 VVF5로 설정하고 있는 동안과 워드선 전압을 VVF4로 설정하고 있는 동안에는, 전압(VB1)이 전원 전압 Vcc로 설정되고, 다른 전압(VB0, VB2, VB3)은 접지 레벨(GND)로 설정된다.

워드선 전압을 VVF3으로 설정하고 있는 동안과 워드선 전압을 VVF2로 설정하고 있는 동안에는, 전압(VB2)이 전원 전압 Vcc로 설정되고, 다른 전압(VB0, VB1, VB3)은 접지 레벨(GND)로 설정된다.

워드선 전압을 VVF1로 설정하고 있는 동안에는, 전압(VB3)이 전원 전압 Vcc로 설정되고, 다른 전압(VB0, VB1, VB2)은 접지 레벨로 설정된다.

또, 베리파이 시에는, 제어 신호 RD는 항상 로 레벨로 설정되고, NMOS 트랜지스터(N15)는 비도통이다.

베리파이에 앞서, 일정 기간, 제어 신호 DIS가 하이 레벨, AiB, AiN 및 TRN이 P5V(5-6V의 전압)로 설정되고, 모든 비트선(BL0, BL1)이 접지 레벨이 된다.

그리고, 제어 신호 DIS가 로 레벨로 되돌아온 후, 어드레스 "Ai"로 선택되어 있지 않은 쪽, 예를 들면 AiN이 접지 레벨로 되고, 비트선(BL1)이 비트선 전압 발생 회로(12)의 래치 회로로부터 분리된다. 그리고, 비트선을 클램프하기 위해, 제어 신호 TRN이 VTRN($VTRN = V_{cc} - V_{th}$)으로 설정된다. 또, 제어 신호 Vref는 비트선의 리크 보상 전류($< 1\mu A$)를 흐르게 할만큼의 전압으로 설정된다.

먼저, 워드선 전압을 VVF7로 설정했을 때에 대하여 설명한다. 워드선 전압이 VVF7로 설정되어 있는 동안에는, 전압(VB0)만 전원 전압 Vcc로 설정되고, 다른 전압(VB1, VB2, VB3)은 접지 레벨로 설정되어 있다. 그리고, 일정 기간, 제어 신호 PGM_RVPC가 전원 전압 Vcc 레벨로 설정되고, NMOS 트랜지스터(N2)가 도통된다.

여기에서, NMOS 트랜지스터(N3 및 N4)가 도통 상태에 있으면, 전압(VB0)으로부터의 전원 Vcc에 의해, 비트선은 ($VTRN - V_{th}$)에 충전되어 가고, 충전 후, N 채널 NMOS 트랜지스터(HN1)는 컷 오프되고, 노드 SA는 PMOS 트랜지스터에 의한 리크 보상 전류에 의해 Vcc로 충전된다. NMOS 트랜지스터(N3 및 N4)가 비도통 상태라면, 비트선은 충전되지 않고, 접지 레벨로 유지된다. 또, 다른 전압(VB1, VB2, VB3)은 접지 레벨이므로, 전압(VB0)으로부터의 경로 이외의 경로에 의한 충전은 행해지지 않는다.

이와 같이, 워드선 전압을 VVF7로 설정하고, 베리파이가 행해질 때에는, NMOS 트랜지스터(N3 및 N4)가 도통 상태인 때에만, 비트선이 충전된다. NMOS 트랜지스터(N3 및 N4)가 도통 상태로 되는 것은 래치 회로(LQ2)의 반전 노드(/Q2)가 하이 레벨, 래치 회로(LQ1)의 반전 노드(/Q1)가 하이 레벨로 될 때문이며, 기입 데이터가 "00x"인 때이다.

그러므로, 기입 데이터가 "00x"인 때에만, 비트선이 충전되고, 다른 기입 데이터인 때에는, 노드 SA는 접지 레벨로 되고, 베리파이의 대상 밖으로 된다.

이 상태에서, 제어 신호 PGM_RVPC가 접지 레벨로 되돌아오고, 선택 비트선(BL0)이 비트선 전압 발생 회로(12)로부터 분리된다.

여기에서, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VVF7)보다 큰($V_{th} > VVF7$) 경우에는, 셀에 전류가 흐르지 않음에 따라, 비트선 전압은 변화되지 않고, 노드 SA는 전원 전압 Vcc로 유지되고, NMOS 트랜지스터(N16, N17, N18)가 도통 상태로 유지된다. 이 경우, 기입 데이터가 "00x"인 때에만 베리파이의 대상으로 되어 있기 때문에,

① 기입 데이터가 "000"이고 메모리 셀의 스레시홀드 V_{th} 가 워드선 전압(VVF7)을 초과하고 있는($V_{th} > VVF7$)의 경우

② 기입 데이터가 "001"이고 메모리 셀의 스레시홀드 V_{th} 가 워드선 전압(VVF7)을 초과하고 있는($V_{th} > VVF7$)의 경우

가 고려된다. 그러나, "001"에서 메모리 셀의 스레시홀드 V_{th} 가 워드선 전압(VVF7)을 초과하고 있으면, 전하의 워드선 전압을 VVF6으로 했을 때의 베리파이에 ($V_{th} > VVF6$)로 되어, 기입 충분으로 판단되고, 래치 회로는 "111"로 되어, 이후 기입되지 않기 때문에, 이것은 있을 수 없다.

한편, 메모리 셀의 스레시홀드 V_{th} 가 워드선 전압(VVF7)보다 작은($V_{th} < VVF7$) 경우에는, 리크 보상 전류보다 큰 셀 전류가 흘러 비트선 전압은 강하되고, NMOS 트랜지스터(HN1)가 온 되어, 전하의 재배분이 일어나고, 노드 SA의 전위는 비트선 전압과 거의 동일한 전압($V_{BL} = V_{TRN} - V_{th}$)으로 된다. 노드 SA의 전위가 ($V_{TRN} - V_{th}$)에서는, NMOS 트랜지스터(N16, N17, N18)는 완전히 도통될 수 없다.

이 경우,

- ① 기입 데이터가 "000"이고 메모리 셀의 스레시홀드 V_{th} 가 워드선 전압(V_{WF7})보다 작은($V_{th} < V_{WF7}$) 경우
- ② 기입 데이터가 "001"이고 메모리 셀의 스레시홀드 V_{th} 가 워드선 전압(V_{WF7})보다 작은($V_{th} < V_{WF7}$) 경우가 고려된다.

또, 기입 데이터가 "000"인 때에는, 래치 회로(LQ0)의 반전 노드(/Q0)는 하이 레벨이기 때문에, NMOS 트랜지스터(N21, N25)가 도통 상태로 유지된다. 기입 데이터가 "001"인 때에는, NMOS 트랜지스터(N21, N25)가 비도통이다.

그리고, 일정 시간 경과 후, 펄스형 신호인 신호(ϕ_{LAT1} , ϕ_{LAT3} , ϕ_{LAT4})가 차례로 하이 레벨로 설정된다.

기입 데이터가 "000"이고, 메모리 셀의 스레시홀드 V_{th} 가 워드선 전압(V_{WF7})을 초과하고 있을($V_{th} > V_{WF7}$) 때에는, 신호(ϕ_{LAT1})가 하이 레벨인 기간에서는, NMOS 트랜지스터(N22)가 도통 상태로 변환된다. 이 때, NMOS 트랜지스터(N21)가 도통 상태이고, NMOS 트랜지스터(N16)가 도통 상태이기 때문에, 래치 회로(LQ2)의 반전 노드(/Q2)가 로 레벨로 되고, 래치 회로(LQ2)의 노드(Q2)가 하이 레벨로 반전된다.

신호(ϕ_{LAT3})가 하이 레벨인 기간에서는 NMOS 트랜지스터(N26)가 도통 상태로 변환된다. 이 때, NMOS 트랜지스터(N25)가 도통 상태이고, NMOS 트랜지스터(N17)는 도통 상태이기 때문에, 래치 회로(LQ1)의 반전 노드(/Q1)가 로 레벨로 되고, 래치 회로(LQ1)의 노드(Q1)가 하이 레벨로 반전된다.

신호(ϕ_{LAT4})가 하이 레벨인 기간에서는 NMOS 트랜지스터(N27, N28)가 도통 상태로 변환된다. 이 때, NMOS 트랜지스터(N18)는 도통 상태이기 때문에, 래치 회로(LQ0)의 반전 노드(/Q0)가 로 레벨로 되고, 래치 회로(LQ0)의 노드(Q0)가 하이 레벨로 반전된다.

따라서, 워드선 전압을 V_{WF7} 로 설정했을 때에는, 기입 데이터가 "000"인 메모리 셀에서, 그 스레시홀드 전압 V_{th} 가 워드선 전압(V_{WF7})보다 큰($V_{th} > V_{WF7}$) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터는 "111"로 반전되고, 이후, 재기입에서는 비트선은 전원 전압 V_{cc} , 채널은 비기입 전위로 부스트되어 기입되지 않는다.

한편, 기입 데이터가 "000"이고 메모리 셀의 스레시홀드 V_{th} 가 워드선 전압(V_{WF7})보다 작은($V_{th} < V_{WF7}$) 경우에는, 신호(ϕ_{LAT1})가 하이 레벨인 기간에서는, NMOS 트랜지스터(N22)가 도통 상태로 되고, NMOS 트랜지스터(N21)가 도통 상태로 되지만, NMOS 트랜지스터(N16)가 완전히 도통되지 않기 때문에, 래치 회로(LQ2)를 반전시키는 데에 충분한 전류가 흐르지 않는다. 그러므로, 래치 회로(LQ2)의 노드 반전은 일어나지 않는다.

신호(ϕ_{LAT3})가 하이 레벨인 기간에서는 NMOS 트랜지스터(N26)는 도통 상태로 되고, NMOS 트랜지스터(N25)가 도통 상태로 되지만, NMOS 트랜지스터(N17)가 완전히 도통되지 않기 때문에, 래치 회로(LQ1)를 반전시키는 데에 충분한 전류가 흐르지 않는다. 그러므로, 래치 회로(LQ1)의 노드 반전은 일어나지 않는다.

신호(ϕ_{LAT4})가 하이 레벨인 기간에서는 NMOS 트랜지스터(N27, N28)는 도통 상태로 되지만, NMOS 트랜지스터(N18)는 완전히 도통되지 않기 때문에, 래치 회로(LQ0)를 반전시키는 데에 충분한 전류가 흐르지 않는다. 그러므로, 래치 회로(LQ0)의 노드 반전은 일어나지 않는다.

따라서, 워드선 전압을 V_{WF7} 로 설정했을 때에는, 기입 데이터가 "000"인 메모리 셀에서, 그 스레시홀드 전압 V_{th} 가 워드선 전압(V_{WF7})보다 작은($V_{th} < V_{WF7}$) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터는 "000"인 채 변화되지 않고, 재기입 시에 비트선 전압이 기입 전위로 설정되어 기입이 행해진다.

그리고, 이 때 기입 데이터가 "001"인 메모리 셀에 대해서는, NMOS 트랜지스터(N21, N25)가 비도통으로 되기 때문에, 베리파이의 대상 밖으로 되고, 래치 회로(LQ2, LQ1, LQ0)의 데이터는 그대로 유지된다. 또, 그 이외의 메모리 셀에 대해서도, 베리파이의 대상 밖으로 되기 때문에, 래치 회로(LQ2, LQ1, LQ0)의 데이터는 그대로 유지된다.

다음에, 워드선 전압을 V_{WF6} 로 설정했을 때에 대하여 설명한다. 워드선 전압이 V_{WF6} 로 설정되어 있는 동안에는, 전술한 바와 마찬가지로, 전압(V_{B0})만 전원 전압 V_{cc} 로 설정되고, 다른 전압(V_{B1} , V_{B2} , V_{B3})은 접지 레벨로 설정되어 있다. 그리고, 일정 기간, 제어 신호 PGM_RVPC 가 전원 전압 V_{cc} 레벨로 설정된다.

제어 신호 PGM_RVPC 가 전원 전압 V_{cc} 레벨로 설정되면, NMOS 트랜지스터(N2)가 도통된다. 워드선 전압을 V_{WF6} 로 설정하고, 기입 데이터의 베리파이가 행해질 때에는, 제어 신호 PGM_RVPC 를 전원 전압 V_{cc} 레벨로 설정하면, 전술한 바와 마찬가지로, 기입 데이터 "00x"인 메모리 셀만 비트선이 충전되고, 다른 기입 데이터인 때에는, 비트선은 접지 레벨로 되어, 베리파이의 대상 밖으로 된다.

여기에서, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압(V_{WF6})보다 큰 경우에는, 셀에 전류가 흐르지 않음에 따라, 비트선 전압은 변화되지 않고, 노드 SA는 전원 전압 V_{cc} 로 유지되고, NMOS 트랜지스터(N16, N17, N18)가 도통 상태로 유지된다. 이 경우, 기입 데이터 "00x"인 때에만 베리파이의 대상으로 되어 있기 때문에, 기입 데이터가 "000"이고 메모리 셀의 스레시홀드 V_{th} 가 워드선 전압(V_{WF6})을 초과하고 있는 경우와, 기입 데이터가 "001"이고 메모리 셀의 스레시홀드 V_{th} 가 워드선 전압(V_{WF6})을 초과하고 있는 경우가 고려된다.

한편, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압(V_{WF6})보다 작은 경우에는, 리크 보상 전류보다 큰 셀 전류가 흘러 비트선 전압은 강해지고, NMOS 트랜지스터(HN1)가 온 되어, 전하의 재배분이 일어나고, 노드 SA의 전위는 비트선 전압과 거의 동일($V_{TRN}-V_{th}$)하게 된다. 노드 SA의 전위가 ($V_{TRN}-V_{th}$)에서는, NMOS 트랜지스터(N16, N17, N18)는 완전히 도통될 수 없다. 이 경우, 기입 데이터가 "000"이고 메모리 셀의 스레시홀드 V_{th} 가 워드선 전압(V_{WF7})보다 작은 경우와, 기입 데이터가 "001"이고 메모리 셀의 스레시홀드 V_{th} 가 워드선 전압(V_{WF7})보다 작은 경우가 고려된다.

이 상태에서, 워드선 전압을 VVF6으로 설정하고, 베리파이 독출이 행해진다. 그리고, 일정 시간 경과 후, 펄스형 신호인 신호(ϕ LAT0, ϕ LAT2)가 차례로 하이 레벨로 설정된다.

또, 기입 데이터가 "001"인 때에는, 래치 회로(LQ0)의 노드(Q0)는 하이 레벨이기 때문에, NMOS 트랜지스터(N19, N23)는 도통 상태로 유지되고 있다.

기입 데이터가 "001"이고 메모리 셀의 스레시홀드 V_{th} 가 워드선 전압(VVF6)을 초과하고 있는($V_{th} > VVF6$) 경우에는, 신호(ϕ LAT0)가 하이 레벨인 기간에서는, NMOS 트랜지스터(N20)가 도통 상태로 변환된다. 이 때, NMOS 트랜지스터(N19)가 도통 상태이고, NMOS 트랜지스터(N16)가 도통 상태이기 때문에, 래치 회로(LQ2)의 반전 노드(/Q2)가 로 레벨로 되고, 래치 회로(LQ2)의 노드(Q2)가 하이 레벨로 반전된다.

신호(ϕ LAT2)가 하이 레벨인 기간에서는, NMOS 트랜지스터(N24)가 도통 상태로 변환된다. 이 때, NMOS 트랜지스터(N23)가 도통 상태이고, NMOS 트랜지스터(N17)는 도통 상태이기 때문에, 래치 회로(LQ1)의 반전 노드(/Q1)가 로 레벨로 되고, 래치 회로(LQ1)의 노드(Q1)가 하이 레벨로 반전된다.

따라서, 워드선 전압을 VVF6으로 설정했을 때에는, 기입 데이터가 "001"인 메모리 셀에서, 그 스레시홀드 전압 V_{th} 가 워드선 전압(VVF6)보다 큰($V_{th} > VVF6$) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터는 "111"로 반전되고, 이후, 재기입에서는 비트선은 전원 전압 Vcc, 채널은 비기입 전위로 부스트되어 기입되지 않는다.

한편, 기입 데이터가 "001"이고, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VVF6)보다 작은($V_{th} < VVF6$) 경우에는, 셀에 전류가 흐르고, 비트선 전압은 강하된다. 그러므로, NMOS 트랜지스터(N16, N17, N18)는 완전히 도통되지 않는다.

신호(ϕ LAT0)가 하이 레벨인 기간에서는, NMOS 트랜지스터(N20)가 도통 상태로 되고, NMOS 트랜지스터(N19)가 도통 상태이지만, NMOS 트랜지스터(N16)가 완전히 도통되지 않기 때문에, 래치 회로(LQ2)를 반전시키는 데에 충분한 전류를 흐르게 할 수 없어, 래치 회로(LQ2)의 노드 반전은 일어나지 않는다.

신호(ϕ LAT2)가 하이 레벨인 기간에서는, NMOS 트랜지스터(N24)는 도통 상태로 되고, NMOS 트랜지스터(N23)가 도통 상태이지만, NMOS 트랜지스터(N17)가 완전히 도통되지 않기 때문에, 래치 회로(LQ1)를 반전시키는 데에 충분한 전류를 흐르게 할 수 없어, 래치 회로(LQ1)의 노드 반전은 일어나지 않는다.

따라서, 워드선 전압을 VVF6으로 설정했을 때에는, 기입 데이터가 "001"인 메모리 셀에서, 그 스레시홀드 전압 V_{th} 가 워드선 전압(VVF6)보다 작은($V_{th} < VVF6$) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터는 "001"인 채 변화되지 않고, 재기입 시에 비트선 전압이 기입 전위로 설정되어 기입이 행해진다.

그리고, 이 때 기입 데이터가 "000"인 메모리 셀에 대해서는, NMOS 트랜지스터(N19, N23)가 비도통으로 되기 때문에, 베리파이의 대상 밖으로 되고, 래치 회로(LQ2, LQ1, LQ0)의 데이터는 그대로 유지된다. 또, 그 이외의 메모리 셀에 대해서도, 베리파이의 대상 밖으로 되기 때문에, 래치 회로(LQ2, LQ1, LQ0)의 데이터는 그대로 유지된다.

다음에, 워드선 전압을 VVF5로 설정했을 때에 대하여 설명한다. 워드선 전압이 VVF5로 설정되어 있는 동안에는, 전압(VB1)만 전원 전압 Vcc로 설정되고, 다른 전압(VB0, VB2, VB3)은 접지 레벨로 설정되어 있다. 그리고, 일정 기간, 제어 신호 PGM_RVPC가 전원 전압 Vcc 레벨로 설정되고, NMOS 트랜지스터(N2)가 도통된다.

여기에서, NMOS 트랜지스터(N5 및 N6)가 도통 상태에 있으면, 전압(VB1)으로부터의 전원 Vcc에 의해, 비트선은 ($V_{TRN}-V_{th}$)에 충전되어 가고, 충전 후, NMOS 트랜지스터(HN1)는 컷 오프되고, 노드 SA는 PMOS 트랜지스터(P1)의 리크 보상 전류에 의해 Vcc로 충전된다. NMOS 트랜지스터(N5 및 N6)가 비도통 상태라면, 비트선은 충전되지 않고, 접지 레벨로 유지된다. 또, 다른 전압(VB0, VB2, VB3)은 접지 레벨이므로, 전압(VB1)으로부터의 경로 이외의 경로에 의한 충전은 행해지지 않는다.

이와 같이, 워드선 전압을 VVF5로 설정하여 베리파이가 행해질 때에는, 제어 신호 PGM_RVPC를 전원 전압 Vcc 레벨로 설정하면, NMOS 트랜지스터(N5 및 N6)가 도통 상태인 때에만, 비트선이 충전된다.

NMOS 트랜지스터(N5 및 N6)가 도통 상태로 되는 것은, 래치 회로(LQ2)의 반전 노드(/Q2)가 하이 레벨, 래치 회로(LQ1)의 노드(Q1)가 하이 레벨로 될 때뿐이며, 기입 데이터가 "01x"인 때이다.

그러므로, 워드선 전압을 VVF5로 설정하고, 기입 데이터가 "010"인 베리파이를 행할 때에는, 기입 데이터가 "01x"인 때에만, 비트선이 충전되고, 다른 기입 데이터인 때에는 비트선은 접지 레벨로 되어, 베리파이의 대상 밖으로 된다.

이 상태에서, 워드선 전압을 VVF5로 설정하고, 베리파이 독출이 행해진다. 여기에서, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압 VVF5보다 큰($V_{th} > VVF5$) 경우에는, 셀에 전류가 흐르지 않음에 따라, 비트선 전압은 변화되지 않고, 노드 SA는 전원 전압 Vcc로 유지되며, NMOS 트랜지스터(N16, N17, N18)가 도통 상태로 유지된다.

한편, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압 VVF5보다 작은($V_{th} < VVF5$) 경우에는, 리크 보상 전류보다 큰 셀 전류가 흘러 비트선 전압은 강하되고, NMOS 트랜지스터(HN1)가 온 되어, 전하의 재배분이 일어나고, 노드 SA의 전위는 비트선 전압과 거의 동일($V_{TRN}-V_{th}$)하게 된다. 노드 SA의 전위가 ($V_{TRN}-V_{th}$)에서는 NMOS 트랜지스터(N16, N17, N18)는 완전히 도통될 수 없다.

또, 기입 데이터가 "010"인 때에는, 래치 회로(LQ0)의 반전 노드(/Q0)는 하이 레벨이기 때문에, NMOS 트랜지스터(N21, N25)가 도통 상태로 유지된다. 기입 데이터가 "011"인 때에는, NMOS 트랜지스터(N21, N25)는 비도통 상태로 되어, 베리파이의 대상 밖으로 된다.

그리고, 일정 시간 경과 후, 펄스형 신호인 신호(ϕLAT1 , ϕLAT4)가 차례로 하이 레벨로 설정된다.

가입 데이터가 "010"이고 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압(V_{WF5})보다 큰($V_{th} > V_{WF5}$) 경우에는, 신호(ϕLAT1)가 하이 레벨인 기간에서는, NMOS 트랜지스터(N22)가 도통 상태로 변환된다. 이 때, NMOS 트랜지스터(N21)가 도통 상태이고, NMOS 트랜지스터(N16)가 도통 상태이기 때문에, 래치 회로(LQ1)의 반전 노드(/Q2)가 로 레벨로 되고, 래치 회로(LQ1)의 노드(Q2)가 하이 레벨로 반전된다.

신호(ϕLAT4)가 하이 레벨인 기간에서는, NMOS 트랜지스터(N27, N28)가 도통 상태로 변환된다. 이 때, NMOS 트랜지스터(N18)는 도통 상태이기 때문에, 래치 회로(LQ0)의 반전 노드(/Q0)가 로 레벨로 되고, 래치 회로(LQ0)의 노드(Q0)가 하이 레벨로 반전된다.

따라서, 워드선 전압을 V_{WF5} 로 설정했을 때에는, 가입 데이터가 "010"인 메모리 셀에서, 그 스레시홀드 전압 V_{th} 가 워드선 전압 V_{WF5} 보다 큰($V_{th} > V_{WF5}$) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터는 "111"로 반전 되고, 이후, 재가입에서는 비트선은 전원 전압 V_{cc} , 채널은 비가입 전위로 부스트되어 가입되지 않는다.

한편, 메모리 셀의 스레시홀드 V_{th} 가 워드선 전압(V_{WF5})보다 작은($V_{th} < V_{WF5}$) 경우에는, 신호(ϕLAT1)가 하이 레벨인 기간에서는, NMOS 트랜지스터(N22)가 도통 상태로 되고, NMOS 트랜지스터(N21)가 도통 상태로 되지만, NMOS 트랜지스터(N16)가 완전히 도통되지 않기 때문에, 래치 회로(LQ2)를 반전시키는 데에 충분한 전류가 흐르지 않는다. 그러므로, 래치 회로(LQ2)의 노드 반전은 일어나지 않는다.

신호(ϕLAT4)가 하이 레벨인 기간에서는 NMOS 트랜지스터(N27, N28)가 도통 상태로 되지만, NMOS 트랜지스터(N18)가 완전히 도통되지 않기 때문에, 래치 회로(LQ0)를 반전시키는 데에 충분한 전류가 흐르지 않는다. 그러므로, 래치 회로(LQ0)의 노드 반전은 일어나지 않는다.

따라서, 워드선 전압을 V_{WF5} 로 설정했을 때에는, 가입 데이터가 "010"인 메모리 셀에서, 그 스레시홀드 전압 V_{th} 가 워드선 전압(V_{WF5})보다 작은($V_{th} < V_{WF5}$) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터는 "010"인 채 변화되지 않고, 재가입 시에 비트선 전압이 가입 전위로 설정되어 가입이 행해진다.

그리고, 이 때 가입 데이터가 "011"인 메모리 셀에 대해서는, NMOS 트랜지스터(N21, N25)가 비도통으로 되기 때문에, 베리파이의 대상 밖으로 되고, 래치 회로(LQ2, LQ1, LQ0)의 데이터는 그대로 유지된다. 또, 그 이외의 메모리 셀에 대해서도, 베리파이의 대상 밖으로 되기 때문에, 래치 회로(LQ2, LQ1, LQ0)의 데이터는 그대로 유지된다.

워드선 전압이 V_{WF4} 로 설정되어 있는 동안에는, 전술한 바와 마찬가지로, 전압(V_{B1})만 전원 전압 V_{cc} 로 설정되고, 다른 전압(V_{B1} , V_{B2} , V_{B3})은 접지 레벨로 설정되어 있다. 그리고, 일정 기간, 제어 신호 PGM_RVPC가 전원 전압 V_{cc} 레벨로 설정된다.

워드선 전압을 V_{WF4} 로 설정하여 베리파이가 행해질 때에는, 제어 신호 PGM_RVPC를 전원 전압 V_{cc} 레벨로 설정하면, 가입 데이터 "01x"인 때에만, 비트선이 충전되고, 다른 가입 데이터인 때에는 비트선은 접지 레벨로 되고, 베리파이의 대상 밖으로 된다.

여기에서, 가입 데이터가 "01x"이고, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압(V_{WF4})보다 큰($V_{th} > V_{WF4}$) 경우에는, 셀에 전류가 흐르지 않음에 따라, 비트선 전압은 변화되지 않고, 노드 SA는 전원 전압 V_{cc} 로 유지되고, NMOS 트랜지스터(N16, N17, N18)가 도통 상태로 유지된다.

이 상태에서, 워드선 전압을 V_{WF4} 로 설정하고, 베리파이 독출이 행해진다. 그리고, 일정 시간 경과 후, 펄스형 신호인 ϕLAT00 이 하이 레벨로 설정된다.

메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압 V_{WF4} 보다 큰 경우에는, 신호(ϕLAT0)가 하이 레벨인 기간에서는, NMOS 트랜지스터(N20)가 도통 상태로 변환된다. 이 때, NMOS 트랜지스터(N19)가 도통 상태이고, NMOS 트랜지스터(N16)가 도통 상태이기 때문에, 래치 회로(LQ2)의 반전 노드(/Q2)가 로 레벨로 되고, 래치 회로(LQ2)의 노드(Q2)가 하이 레벨로 반전된다.

따라서, 워드선 전압을 V_{WF4} 로 설정했을 때에는, 가입 데이터가 "011"인 메모리 셀에서, 그 스레시홀드 전압 V_{th} 가 워드선 전압(V_{WF4})보다 큰($V_{th} > V_{WF4}$) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터는 "111"로 반전 되고, 이후, 재가입에서는 비트선은 전원 전압 V_{cc} , 채널은 비가입 전위로 부스트되어 가입되지 않는다.

가입 데이터가 "011"인 메모리 셀에서, 그 스레시홀드 전압 V_{th} 가 워드선 전압(V_{WF4})보다 작은($V_{th} < V_{WF4}$) 경우에는, 셀에 전류가 흐르고, NMOS 트랜지스터(N16, N17, N18)는 완전히 도통될 수 없다.

따라서, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압 V_{WF4} 보다 작은 경우에는, 신호(ϕLAT0)가 하이 레벨인 기간에서는, NMOS 트랜지스터(N20)가 도통 상태로 되고, NMOS 트랜지스터(N19)가 도통 상태로 되지만, NMOS 트랜지스터(N16)가 완전히 도통되지 않기 때문에, 래치 회로(LQ2)를 반전시키는 데에 충분한 전류를 흐르게 하지 못해, 래치 회로(LQ2)의 노드 반전은 일어나지 않는다.

따라서, 워드선 전압을 V_{WF4} 로 설정했을 때에는, 가입 데이터가 "011"인 메모리 셀에서, 그 스레시홀드 전압 V_{th} 가 워드선 전압(V_{WF4})보다 작은($V_{th} < V_{WF4}$) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터는 "011"인 채 변화되지 않고, 재가입 시에 비트선 전압이 가입 전위로 설정되어 가입이 행해진다.

그리고, 이 때 가입 데이터가 "010"인 메모리 셀에 대해서는, NMOS 트랜지스터(N19, N23)가 비도통으로 되기 때문에, 베리파이의 대상 밖으로 되고, 래치 회로(LQ2, LQ1, LQ0)의 데이터는 그대로 유지된다. 또, 그 이외의 메모리 셀에 대해서도, 베리파이의 대상 밖으로 되기 때문에, 래치 회로(LQ2, LQ1, LQ0)의 데이터는 그대로 유지된다.

다음에, 워드선 전압을 V_{WF3} , V_{WF2} , V_{WF1} 로 설정하고, 동일하게 베리파이 동작이 행해진다.

즉, 워드선 전압을 VVF3으로 설정하고 베리파이가 행해질 때에는, 기입 데이터가 "10x"인 때에만, 비트선이 충전되고, 그 밖의 기입 데이터인 때에는, 비트선은 접지 레벨로 되어, 베리파이의 대상 밖으로 된다. 그리고, 일정 시간 경과 후, 펄스형 신호인 신호 $\phi\text{LAT}3$, $\phi\text{LAT}4$ 가 차례로 하이 레벨로 설정된다. 기입 데이터가 "100"인 메모리 셀에서, 그 스레시홀드 전압 V_{th} 가 워드선 전압(VVF3)보다 큰($V_{th} > VVF3$) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터는 "111"로 반전되고, 이후, 재기입에서는 비트선(BL0)은 전원 전압 Vcc, 채널은 비기입 전위로 부스트되어 기입되지 않는다. 기입 데이터가 "100"인 메모리 셀에서, 그 스레시홀드 전압 V_{th} 가 워드선 전압(VVF3)보다 작은($V_{th} < VVF3$) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터는 "100"인 채 변화되지 않고, 재기입 시에 비트선 전압이 기입 전위로 설정되어 기입이 행해진다.

워드선 전압이 VVF2로 설정되어 베리파이가 행해질 때에는, 기입 데이터가 "10x"인 때에만, 비트선이 충전되고, 그 밖의 기입 데이터인 때에는, 비트선은 접지 레벨로 되어, 베리파이의 대상 밖으로 된다. 그리고, 일정 시간 경과 후, 펄스형 신호인 신호($\phi\text{LAT}2$)가 하이 레벨로 설정된다. 기입 데이터가 "101"인 메모리 셀에서, 그 스레시홀드 전압 V_{th} 가 워드선 전압(VVF2)보다 큰($V_{th} > VVF2$) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터는 "111"로 반전되고, 이후, 재기입에서는 비트선(BL0)은 전원 전압 Vcc, 채널은 비기입 전위로 부스트되어 기입되지 않는다. 기입 데이터가 "101"인 메모리 셀에서, 그 스레시홀드 전압 V_{th} 가 워드선 전압(VVF2)보다 작은($V_{th} < VVF2$) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터는 "101"인 채 변화되지 않고, 재기입 시에 비트선 전압이 기입 전위로 설정되어 기입이 행해진다.

워드선 전압이 VVF1로 설정되어 베리파이가 행해질 때에는, 기입 데이터가 "110"인 때에만, 비트선이 충전되고, 그 밖의 기입 데이터인 때에는, 비트선은 접지 레벨로 되어, 베리파이의 대상 밖으로 된다. 그리고, 일정 시간 경과 후, 펄스형 신호인 $\phi\text{LAT}4$ 가 하이 레벨로 설정된다. 기입 데이터가 "110"인 메모리 셀에서, 그 스레시홀드 전압 V_{th} 가 워드선 전압 VVF1보다 큰($V_{th} > VVF1$) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터는 "111"로 반전되고, 이후, 재기입에서는 비트선(BL)은 전원 전압 Vcc, 채널은 비기입 전위로 부스트되어 기입되지 않는다. 기입 데이터가 "110"인 메모리 셀에서, 그 스레시홀드 전압 V_{th} 가 워드선 전압 VVF1보다 작은($V_{th} < VVF1$) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터는 "110"인 채 변화되지 않고, 재기입 시에 비트선 전압이 기입 전위로 설정되어 기입이 행해진다.

전술한 바와 같이, 본 발명의 제2 실시 형태에서는, 베리파이 시에는, 전압(VB0, VB1, VB2, VB3) 중의 하나를 전원 전압 Vcc로 하고, 다른 전압을 접지 레벨로 하고, 기입 데이터에 따라 NMOS 트랜지스터(N3 및 N4, N5 및 N6, N7 및 N8, n9, N10 및 N11)를 제어하고, 전압(VB0, VB1, VB2, VB3) 중의 하나로부터 비트선의 충전 전류를 흐르게 함으로써, 다른 기입 데이터를 베리파이의 대상 밖으로 하고 있다. 즉, 워드선 전압(VVF7 및 VVF6)에서의 베리파이 시에는, 전압(VB0)을 사용함으로써, "00x" 이외를 베리파이의 대상 밖으로 하고, 워드선 전압(VVF5, VVF4)에서의 베리파이 시에는 전압(VB1)을 사용함으로써, "01x" 이외를 베리파이의 대상 밖으로 하고, 워드선 전압(VVF3, VVF2)에서의 베리파이 시에는, 전압(VB2)을 사용함으로써, "10x" 이외를 베리파이의 대상 밖으로 하고, 워드선 전압(VVF1)에서의 베리파이 시에는, 전압(VB3)을 사용함으로써, "110" 이외를 베리파이의 대상 밖으로 하고 있다. 이에 따라, 베리파이 시의 회로 구성이 간단화되어 있다.

2-4. 제2 실시 형태의 독출 시의 동작

다음에, 본 발명의 제2 실시 형태의 독출 동작에 대하여, 도 18를 참조하여 설명한다. 스탠바이 시에는 제어 신호 TRN, AiB, AiN은 ($V_{cc}-V_{th}$)의 레벨에 있고, 제어 신호 DIS는 하이 레벨로 설정되고, NMOS 트랜지스터(n1)가 도통 상태로 되고, 모든 비트선은 접지 레벨로 된다.

이 상태에서 독출 동작이 기동되면, 제어 신호 DIS가 로 레벨로 되고, 비트선은 접지 라인으로부터 분리된다. 그리고, 선택 비트선이 예를 들면, 짝수 비트선인 경우, AiB가 P5V 레벨, AiN이 접지 레벨로 설정되고, 홀수 비트선은 래치로부터 분리되고, 제어 신호 TRN은 ($V_{cc}-V_{th}(=V_{TRN})$)으로 유지되어, 제어 신호 Vref에 비트선의 리크를 보상하는 전류를 흐르게 하기 위한 전압이 인가된다. 이와 동시에, 제어 신호 RST에 하이 레벨이 설정되고, NMOS 트랜지스터(N12, N13, N14)가 도통되어, 래치 회로(LQ2, LQ1, LQ0)의 노드(Q2, Q1, Q0)가 모두 "0"으로 리셋된다.

독출 동작은 워드선을 VRD7, VRD6, VRD5, VRD4, VRD3, VRD2, VRD1로 차례로 내려서 행해진다. 독출 시에는, 도 17 (B)에 나타낸 바와 같이, 전압(VB0)은 Vcc 레벨, 전압(VB1), 전압(VB2, VB3)은 접지 레벨로 항상 설정된다.

또, 독출 제어 신호 RD는 항상 하이 레벨로 설정되고, NMOS 트랜지스터(15)는 독출 동안 항상 도통 상태에 있다.

먼저, 선택 워드선 전압이 VRD7로 설정되고, 제어 신호 PGM_RVPC가 전원 전압 Vcc로 설정되고, NMOS 트랜지스터(N2)가 도통 상태로 설정된다.

여기에서, NMOS 트랜지스터(N4, N3)가 도통 상태에 있으면, 전압(VB0)으로부터의 전류가 NMOS 트랜지스터(N4, N3, N1)를 통해 흘러 비트선이 충전된다. 독출의 개시 시에는, 래치 회로(LQ2, LQ1, LQ0)가 모두 "0"으로 리셋되어 있기 때문에, 래치 회로(LQ2)의 반전 노드(/Q2)는 "1", 래치 회로(LQ1)의 반전 노드(/Q1)는 "1"이다. 따라서, 이 때 NMOS 트랜지스터(N4, N3)가 도통 상태이다.

따라서, 전압(VB0)으로부터의 전류가 NMOS 트랜지스터(N4, N3, N2)를 통해 흘러, 모든 짝수 비트선은 ($V_{TRN}-V_{th}$)로 충전되고, NMOS 트랜지스터(HN1)가 컷 오프됨에 따라, 모든 노드 SA는 리크 보상 전류에 의해 Vcc로 충전된다. 그 후, 제어 신호 PGM_RVPC가 접지 레벨로 되돌아온다.

워드선 전압이 VRD7에서의 독출 결과, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VRD7)보다 큰($V_{th} > VRD7$) 경우, 셀 전류가 흐르지 않음에 따라, 노드 SA는 전원 전압 Vcc로 유지된다. 이 때, NMOS 트랜지스터(N16, N17, N18)가 도통 상태로 된다. 또, 초기 상태에서는 래치 회로(LQ2, LQ1, LQ0)가 모두 "0"으로 리셋되어 있기 때문에, NMOS 트랜지스터(N21, N25)는 도통 상태에 있다.

그리고, 일정 시간 경과 후, 펄스형 신호인 ϕLAT1 , ϕLAT3 , ϕLAT4 가 차례로 하이 레벨로 설정된다.

신호(ϕLAT1)가 하이 레벨로 설정되면, NMOS 트랜지스터(N22)가 도통 상태로 설정된다. 그리고, NMOS 트랜지스터(N16, N21)는 도통되어 있다. 따라서, 래치 회로(LQ2)의 반전 노드(/Q2)가 "0"이 되고, 래치 회로(LQ2)의 노드(Q2)가 "1"로 반전된다.

신호(ϕLAT3)가 하이 레벨로 설정되면, NMOS 트랜지스터(N26)가 도통 상태로 설정된다. 그리고, NMOS 트랜지스터(N17, N25)는 도통되어 있다. 따라서, 래치 회로(LQ1)의 반전 노드(/Q1)가 "0"이 되고, 래치 회로(LQ1)의 노드(Q1)가 "1"로 반전된다.

신호(ϕLAT4)가 하이 레벨로 설정되면, NMOS 트랜지스터(N27, N28)가 도통 상태로 설정된다. 그리고, NMOS 트랜지스터(N18)는 도통되어 있다. 따라서, 래치 회로(LQ0)의 반전 노드(/Q0)가 "0"이 되고, 래치 회로(LQ0)의 노드(Q0)가 "1"로 반전된다.

따라서, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VRD7)보다 큰($V_{th} > VRD7$) 경우, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 "111"로 반전된다. 그리고, 독출 데이터는 반전되어 있고, 래치 데이터가 "111"인 때의 독출 데이터는 "000"이다.

한편, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VRD7) 이하($V_{th} < VRD7$)이면, 리크 보상 전류보다 큰 셀 전류가 흘러 비트선 전압은 강하되고, NMOS 트랜지스터(HN1)가 도통 상태로 되어, 전하의 재배분이 일어나고, 노드 SA의 전압은 비트선 전압과 거의 동일(VTRN- V_{th})하게 된다. 그러므로, NMOS 트랜지스터(N16, N17, N18)는 완전히 도통되지 않는다.

그리고, 일정 시간 경과 후, 펄스형 신호인 신호(ϕLAT1 , ϕLAT3 , ϕLAT4)가 차례로 하이 레벨로 설정된다.

신호(ϕLAT1)가 하이 레벨로 설정되면, NMOS 트랜지스터(N22)가 도통 상태로 설정된다. NMOS 트랜지스터(N22, N21)는 도통 상태이지만, NMOS 트랜지스터(N16)는 완전히 도통되어 있지 않다. 따라서, 래치 회로(LQ2)를 반전시키기 위한 충분한 전류를 흐르게 할 수 없어, 래치 회로(LQ2)의 노드 반전은 발생하지 않는다.

신호(ϕLAT3)가 하이 레벨로 설정되면, NMOS 트랜지스터(N26)가 도통 상태로 설정된다. NMOS 트랜지스터(N26, N25)는 도통 상태이지만, NMOS 트랜지스터(N17)는 완전히 도통되어 있지 않다. 따라서, 래치 회로(LQ1)를 반전시키기 위한 충분한 전류를 흐르게 할 수 없어, 래치 회로(LQ1)의 노드 반전은 발생하지 않는다.

신호(ϕLAT4)가 하이 레벨로 설정되면, NMOS 트랜지스터(N27, N28)가 도통 상태로 설정된다. 그러나, NMOS 트랜지스터(N18)는 완전히 도통되어 있지 않다. 따라서, 래치 회로(LQ0)를 반전시키기 위한 충분한 전류를 흐르게 할 수 없어, 래치 회로(LQ0)의 노드 반전은 발생하지 않는다.

다음에, 선택 워드선 전압이 VRD6으로 설정되고, 제어 신호 PGM_RVPC가 전원 전압 V_{cc} 로 설정되고, NMOS 트랜지스터(N2)가 도통 상태로 설정된다.

여기에서, 전하에 선택 워드선 전압이 VRD7로 설정되어 독출을 행하였을 때에 래치 회로(LQ0, LQ1 및 LQ2)의 노드 반전이 일어나고 있지 않으면, 래치 회로(LQ0, LQ1, LQ2)는 초기 상태인 "000"이기 때문에, NMOS 트랜지스터(N3, N4)가 도통되어 있다. 그러므로, 전압(VB0)으로부터의 전류가 NMOS 트랜지스터(N4, N3, N2)를 통해 흘러, 메모리 셀의 스레시홀드 전압 V_{th} 가 VRD7보다 낮은 셀이 연결되는 모든 짝수 비트선은 (VTRN- V_{th})로 충전된다.

이에 대하여, 선택 워드선 전압이 VRD7로 설정되어 독출을 행하였을 때에 래치 회로(LQ1 및 LQ2)의 노드 반전이 일어나고 있으면, NMOS 트랜지스터(N4, N3)가 비도통 상태로 된다. 그리고, NMOS 트랜지스터(N9, N10)가 도통 상태로 되고, 제어 신호 RD가 하이 레벨임에 따라 NMOS 트랜지스터(N15)가 도통 상태로 되어, 전압(VB3)의 공급원에 연결된다. 이 경우에는 전압(VB1-VB3)은 접지 레벨이기 때문에, 노드 SA는 접지 레벨로 되어, 독출 동작의 대상 밖으로 된다.

그 후, 제어 신호 PGM_RVPC가 접지 레벨로 되돌아온다. 이 때, 전하까지 노드의 반전이 일어나고 있지 않은 셀이 연결되는 짝수 비트선은 (VTRN- V_{th})로 충전되고, NMOS 트랜지스터(HN1)가 컷 오프됨에 따라, 그 노드 SA는 V_{cc} 로 충전된다.

여기에서, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VRD6)보다 큰($V_{th} > VRD6$) 경우, 셀 전류가 흐르지 않음에 따라, 노드 SA는 전원 전압 V_{cc} 로 유지된다. 이 때, NMOS 트랜지스터(N16, N17, N18)는 도통 상태로 된다.

그리고, 일정 시간 경과 후, 펄스형 신호인 신호(ϕLAT1 , ϕLAT3)가 차례로 하이 레벨로 설정된다.

신호(ϕLAT1)가 하이 레벨로 설정되면, NMOS 트랜지스터(N22)가 도통 상태로 설정된다. 그리고, NMOS 트랜지스터(N16, N21)는 도통되어 있다. 따라서, 래치 회로(LQ2)의 반전 노드(/Q2)가 "0"이 되고, 래치 회로(LQ2)의 노드(Q2)가 "1"로 반전된다.

신호(ϕLAT3)가 하이 레벨로 설정되면, NMOS 트랜지스터(N26)가 도통 상태로 설정된다. 그리고, NMOS 트랜지스터(N17, N25)는 도통되어 있다. 따라서, 래치 회로(LQ1)의 반전 노드(/Q1)가 "0"으로 반전되고, 래치 회로(LQ1)의 노드(Q1)가 "1"로 반전된다.

따라서, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VRD6)보다 큰($V_{th} > VRD6$) 경우, 전하까지의 반전이 일어나고 있지 않으면, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 "110"으로 반전된다. 전하까지 래치의 반전이 일어나고 있으면, 노드 SA는 접지 레벨로 되어, 독출의 대상 밖으로 되기 때문에, 그 데이터는 유지된다. 그리고, 독출 데이터는 반전되어 있어, 래치 데이터가 "110"인 때의 독출 데이터는 "001"이다.

메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VRD6)보다 작을($V_{th} < VRD6$) 경우에는, 리크 보상 전류보다 큰 셀 전류가 흘러 비트선 전압은 강하되고, NMOS 트랜지스터(HN1)가 도통 상태로 되어, 전하의 재분배가 일어나고, 노드 SA의 전압은 비트선 전압과 거의 동일($V_{TRN} - V_{th}$)하게 된다. 그러므로, NMOS 트랜지스터(N16, N17, N18)는 완전히 도통되지 않는다.

그리고, 일정 시간 경과 후, 펄스형 신호인 신호(ϕ_{LAT1} , ϕ_{LAT3})가 차례로 하이 레벨로 설정된다.

신호(ϕ_{LAT1})가 하이 레벨로 설정되면, NMOS 트랜지스터(N22)가 도통 상태로 설정된다. 그리고, NMOS 트랜지스터(N21)는 도통 상태에 있지만, NMOS 트랜지스터(N16)는 완전히 도통되어 있지 않다. 따라서, 래치 회로(LQ2)를 반전시키기 위한 충분한 전류를 흐르게 할 수 없어, 래치 회로(LQ2)의 노드 반전은 발생하지 않는다.

신호(ϕ_{LAT3})가 하이 레벨로 설정되면, NMOS 트랜지스터(N26)가 도통 상태로 설정된다. 그리고, NMOS 트랜지스터(N25)는 도통 상태이지만, NMOS 트랜지스터(N17)는 완전히 도통되어 있지 않다. 따라서, 래치 회로(LQ1)를 반전시키기 위한 충분한 전류를 흐르게 할 수 없어, 래치 회로(LQ1)의 노드 반전은 발생하지 않는다.

다음에, 선택 워드선 전압이 VRD5로 설정되고, 제어 신호 PGM_RVPC가 전원 전압 V_{cc} 로 설정되고, NMOS 트랜지스터(N2)가 도통 상태로 설정된다.

여기에서, 전회까지의 독출에서 래치 회로(LQ1 및 LQ2)의 노드 반전이 일어나고 있지 않으면, NMOS 트랜지스터(N4, N3)가 도통 상태로 되고, 전압(VB0)에 의해 비트선이 충전된다. 그리고, 전회까지의 독출에서 래치 회로(LQ1 및 LQ2)의 노드 반전이 일어나고 있으면, NMOS 트랜지스터(N4, N3)가 비도통 상태로 된다. 이 경우에는, 전압(VB1-VB3)은 접지 레벨이기 때문에, 노드 SA는 접지 레벨로 되어, 독출 동작의 대상 밖으로 된다.

그 후, 제어 신호 PGM_RVPC가 접지 레벨로 되돌아온다. 이 때, 독출 동작의 대상이 되는 짝수 비트선은 ($V_{TRN} - V_{th}$)에 충전되고, NMOS 트랜지스터(HN1)가 컷 오프됨에 따라, 독출 동작의 대상이 되는 노드 SA는 V_{cc} 로 충전된다.

여기에서, 워드선 전압이 VRD5에서의 독출 결과, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VRD5)보다 큰($V_{th} > VRD5$) 경우, 셀 전류가 흐르지 않음에 따라, 노드 SA는 전원 전압 V_{cc} 로 유지된다. 이 때, NMOS 트랜지스터(N16, N17, N18)는 도통 상태로 된다.

그리고, 일정 시간 경과 후, 펄스형 신호인 신호(ϕ_{LAT1} , ϕ_{LAT4})가 차례로 하이 레벨로 설정된다.

신호(ϕ_{LAT1})가 하이 레벨로 설정되면, NMOS 트랜지스터(N22)가 도통 상태로 설정된다. 그리고, NMOS 트랜지스터(N16, N21)는 도통되어 있다. 따라서, 래치 회로(LQ2)의 반전 노드(/Q2)가 "0"이 되고, 래치 회로(LQ2)의 노드(Q2)가 "1"로 반전된다.

신호(ϕ_{LAT4})가 하이 레벨로 설정되면, NMOS 트랜지스터(N27 및 N28)가 도통 상태로 설정된다. 그리고, NMOS 트랜지스터(N18)는 도통되어 있다. 따라서, 래치 회로(LQ0)의 반전 노드(/Q0)가 "0"으로 반전되고, 래치 회로(LQ0)의 노드(Q0)가 "1"로 반전된다.

따라서, 메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VRD5)보다 큰($V_{th} > VRD5$) 경우, 전회까지의 반전이 일어나고 있지 않으면, 래치 회로(LQ2, LQ1, LQ0)의 래치 데이터가 "101"로 반전된다. 전회까지 래치의 반전이 일어나고 있으면, 그 데이터는 유지된다. 독출 데이터는 반전되어 있어, 래치 데이터가 "101"인 때의 독출 데이터는 "010"이다.

메모리 셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VRD5) 이하($V_{th} < VRD5$)이면, 리크 보상 전류보다 큰 셀 전류가 흘러 비트선 전압은 강하되고, NMOS 트랜지스터(HN1)가 도통 상태로 되어, 전하의 재분배가 일어나고, 노드 SA의 전압은 비트선 전압과 거의 동일($V_{TRN} - V_{th}$)하게 된다. 그러므로, NMOS 트랜지스터(N16, N17, N18)는 완전히 도통되지 않는다.

그리고, 일정 시간 경과 후, 펄스형 신호인 신호(ϕ_{LAT1} , ϕ_{LAT4})가 차례로 하이 레벨로 설정된다.

신호(ϕ_{LAT1})가 하이레벨에 설정되면 NMOS 트랜지스터(N22)가 도통상태로 설정된다. 그리고 NMOS 트랜지스터(N21)는 도통상태이지만 NMOS 트랜지스터(N16)는 완전히 도통하지 않는다. 따라서 래치회로(LQ2)를 반전시키기 위한 충분한 전류를 흐르게 할 수 없고 래치회로(LQ2)의 노드의 반전은 일어나지 않는다.

신호(ϕ_{LAT4})가 하이레벨에 설정되면 NMOS 트랜지스터(N27, N28)가 도통상태에 설정된다. 그러나 NMOS 트랜지스터(N18)는 완전히 도통하지 않는다. 따라서 래치회로(LQ0)를 반전시키기 위한 충분한 전류를 흐르게 할 수 없고 래치회로(LQ0)의 노드의 반전은 일어나지 않는다.

다음에, 선택워드선 전압이 VRD4로 설정되고 전술한 바와 같이 독출이 행해진다. 그래서 일정시간이 경과된 후 펄스 상의 신호인 신호(ϕ_{LAT1})가 하이레벨로 설정된다.

여기서, 전회까지 래치의 반전이 일어나지 않으면 메모리셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VRD4)보다 큰($V_{th} > VRD4$) 경우, 셀전류가 흐르지 않으므로 노드 SA는 전원전압 V_{cc} 으로 유지된다. 이 때 NMOS 트랜지스터(N16, N17, N18)가 도통상태로 된다.

신호(ϕ_{LAT1})가 하이레벨로 설정되면 NMOS 트랜지스터(N22)가 도통상태로 설정된다. 그래서 NMOS 트랜지스터(N16, N21)는 도통한다. 따라서 래치회로(LQ2)의 반전노드(/Q2)가 "0"으로 되고, 래치회로(LQ2)의 노드 Q2가 "1"로 반전한다.

이상과 같이, 메모리셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VRD4)보다 큰($V_{th} > VRD4$) 경우, 전회까지 래

치의 반전이 일어나지 않으면, 래치회로(LQ2, LQ1, LQ0)의 래치데이터가 "100"으로 반전한다. 전회까지 래치의 반전이 일어나면 그 데이터가 유지된다. 또한 독출 데이터는 반전해 있고 래치 데이터가 "100"일 때의 독출 데이터는 "011"이다.

메모리셀의 스레시홀드 전압 V_{th} 이 워드선 전압(VRD4)보다 작은($V_{th} < VRD4$) 경우에는 리크(leak)보상전류보다 큰 셀 전류가 흘러 비트선 전압은 강하하고, NMOS 트랜지스터(HN1)가 도통상태로 되고, 전하의 재배분이 일어나며 노드 SA의 전압은 비트선 전압과 거의 동일하게($V_{TRN}-V_{th}$) 된다. 따라서 NMOS 트랜지스터(N16, N17, N18)는 완전히 도통하지 않는다.

신호(ϕ_{LAT1})가 하이레벨로 설정되면 NMOS 트랜지스터(N22)가 도통상태로 설정되고, 또 NMOS 트랜지스터(N21)는 도통하고 있으나, NMOS 트랜지스터(N16)는 완전히 도통하지 않는다. 따라서 래치회로(LQ2)의 노드의 반전은 일어나지 않는다.

이하에서 마찬가지로, 독출이 행해진다. 즉, 선택워드선 전압이 VRD3로 설정되고 독출이 행해진다. 그리고 일정시간이 경과된 후, 펄스상의 신호인 신호(ϕ_{LAT3}, ϕ_{LAT4})가 차례로 하이레벨로 설정된다. 메모리셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VRD3)보다 큰($V_{th} > VRD3$) 경우, 전회까지 래치의 반전이 일어나지 않으면 래치회로(LQ2, LQ1, LQ0)의 래치 데이터가 "011"으로 반전한다. 또한 독출 데이터는 반전해 있고 래치 데이터가 "011"일 때의 독출 데이터는 "100"이다. 메모리셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VRD3)보다 작은 경우, 신호(ϕ_{LAT3}, ϕ_{LAT4})가 하이레벨로 설정되어도 래치회로(LQ1, LQ0)를 반전시키기 위한 충분한 전류를 흐르게 할 수 없고 래치회로(LQ2)의 노드의 반전은 일어나지 않는다.

다음에, 선택워드선 전압이 VRD2로 설정되고 독출이 행해진다. 그래서 일정시간 경과후 펄스상의 신호인 신호(ϕ_{LAT3})가 하이레벨로 설정된다. 메모리셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VRD2)보다 큰($V_{th} > VRD2$) 경우, 전회까지 래치의 반전이 일어나지 않으면 래치회로(LQ2, LQ1, LQ0)의 래치 데이터가 "010"으로 반전한다. 또한 독출 데이터는 반전해 있고 래치 데이터가 "010"일 때의 독출 데이터는 "101"이다. 메모리셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VRD2)보다 작은 경우, 신호(ϕ_{LAT3})가 하이레벨로 설정되어도 래치회로(LQ1)를 반전시키기 위한 충분한 전류를 흐르게 할 수 없고 래치회로(LQ1)의 노드의 반전은 일어나지 않는다.

다음에, 선택워드선 전압이 VRD1로 설정되고 독출이 행해진다. 그래서 일정시간 경과후 펄스상의 신호인 신호(ϕ_{LAT4})가 하이레벨로 설정된다. 메모리셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VRD1)보다 큰($V_{th} > VRD1$) 경우, 래치회로(LQ2, LQ1, LQ0)의 래치 데이터가 "001"으로 반전한다. 또한 독출 데이터는 반전해 있고 래치 데이터가 "001"일 때의 독출 데이터는 "110"이다. 메모리셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VRD1)보다 작은 경우, 신호(ϕ_{LAT4})가 하이레벨로 설정되어도 래치회로(LQ0)를 반전시키기 위한 충분한 전류를 흐르게 할 수 없고 래치회로(LQ0)의 노드의 반전은 일어나지 않는다.

선택워드선 전압을 (VRD7-VRD1)로 설정하고, 무엇보다도 래치의 반전이 일어나지 않으면 래치회로(LQ2, LQ1, LQ0)의 데이터는 "000"인 상태이다. 래치 데이터가 "000"일 때 독출 데이터는 "111"이다.

전술한 바와 같이 본 실시형태에서는 독출시에 전회까지의 독출으로 래치회로 데이터의 반전이 일어나고 있는 경우에는 독출의 대상으로 하고, 전회까지의 독출으로 래치회로 데이터의 반전이 일어나지 않는 경우에만 독출을 행한다. 이와 같은 구성으로 함으로써 회로규모의 축소가 도모된다.

3. 제 3 실시형태

도 19은 본 발명에 따른 불휘발성 반도체 기억장치의 제 3 실시형태를 나타내는 것이다. 이 불휘발성 반도체 기억장치는 전술한 제 2 실시형태와 같이 기억 다치 레벨값이 8에 대응하는 것이다.

전술한 제 2 실시형태에서는 최하위 비트의 래치회로(LQ0) 데이터를 제하고, 래치회로(LQ2, LQ1)에 설정되어 있는 래치 데이터에 따라 베리파이(verify)시에 비트선을 차지함/하지 않음을 제어하고, 베리파이를 행한다. 그리고 최하위 비트의 데이터인 래치회로(LQ0)에 관여하는 노드(Q0)의 데이터와 반전노드(/Q0)의 데이터를 게이트회로(N19 및 N23, N21 및 N25)에 공급하고, 베리파이에 최하위 비트가 "1"인가 "0"인가에 따라 래치회로의 노드의 반전을 금지할 것인가 여부의 설정을 행하고, 베리파이를 대상으로 할 것인가 여부를 설정한다.

이에 반하여, 제 3 실시형태에서는 신호 WVFHF에 의해 베리파이에 최하위 비트가 "1"인가 "0"인가에 따라 비트선의 방전의 실행을 제어하고, 베리파이를 대상으로 할 것인가 여부의 설정을 행한다. 본 제 3 실시형태에서는 최하위 비트의 데이터인 래치회로(LQ0)의 노드(Q0)의 데이터와 반전노드(/Q0)의 데이터에 의해 제어되는 게이트회로(N19 및 N23, N21 및 N25)가 불필요하므로 다시 회로규모의 삭감을 도모할 수 있다.

3-1. 제 3 실시형태의 전체구성

본 제 3 실시형태는 전술한 제2 실시형태와 같이 메모리어레이(51), 비트선 전압발생회로(52), 및 독출/베리파이 제어회로(53)로 구성된다.

메모리어레이(51)는 전술한 제3 실시형태와 같이 메모리셀을 매트릭스형으로 배열하여 구성되어 있고, 각각 메모리셀이 공통의 워드선(WL0-WL15)에 접속된 메모리스트링(A0, A1)으로 구성된다.

비트선 전압발생회로(52)는 NMOS 트랜지스터(N51-N64, N72, N73) 및 인버터의 임출력들을 결합하여 이루어지는 래치회로(LQ2, LQ1, LQ0)로 구성된다. 또, 비트선 전압발생회로(52)로부터 전압(VB0, VB1, VB2, VB3)의 공급라인이 도출된다.

비트선 전압발생회로(52)에 의해 기록시에 기록 데이터에 따른 비트선 전압이 발생되고, 메모리어레이(51)에 인가된다. 또 베리파이에 비트선 전압발생회로(52)의 래치회로(LQ2, LQ1, LQ0)의 기억노드(Q2, Q1, Q0)는 메모리어레이(51)의 메모리셀에 기록이 충분히 행해지면 "111"로 설정된다. 독출시에는 메모리어레이

(51)의 메모리셀의 스레시홀드가 검출되어 데이터의 독출이 행해진다. 이 때, 래치회로(LQ0, LQ1, LQ2)의 기억노드(Q2, Q1, Q0)에는 독출된 데이터가 격납된다.

독출/베리파이 제어회로(53)는 NMOS 트랜지스터(N66-N71)로 구성된다. 이 독출/베리파이 제어회로(53)는 독출시 또는 베리파이에 래치회로(LQ2, LQ1, LQ0)의 상태를 제어하는 것이다. 독출/베리파이 제어회로(53)로부터는 신호(ϕ LAT0, ϕ LAT1, ϕ LAT2)의 공급라인이 도출되고, 펄스상의 신호가 공급된다. 독출/베리파이 제어회로(53)의 NMOS 트랜지스터(N66, N67, N68)의 게이트전극은 노드 SA에 접속되어 있다. 노드 SA는 메모리레이(51)의 메모리셀의 스레시홀드를 검출하기 위한 노드로 된다.

노드 SA와 비트선(BL0) 사이에는 고내압의 NMOS 트랜지스터(HN51, HN53)의 직렬접속이 형성된다. 또, 노드 SA와 비트선(BL1) 사이에는 고내압의 NMOS 트랜지스터(HN52, HN54)의 직렬접속이 형성된다. NMOS 트랜지스터(HN53)의 게이트전극에 어드레스 디코더 신호 AiB가 공급된다. NMOS 트랜지스터(HN54)의 게이트전극에 어드레스 디코더 신호 AiN가 공급된다. NMOS 트랜지스터(HN51, HN52)의 게이트전극에 제어신호 TRN이 공급된다.

노드 SA와 접지라인 GND와의 사이에 NMOS 트랜지스터(N51)가 접속된다. 노드 SA와 전원전압 Vcc의 공급라인 사이에 PMOS 트랜지스터(P51)가 접속된다. NMOS 트랜지스터(N51)의 게이트전극에는 제어신호 DIS가 공급된다. PMOS 트랜지스터(P51)의 게이트전극에는 신호 Vref가 공급된다.

노드 SA와 비트선 전압발생회로(52) 사이에는 NMOS 트랜지스터(N52)가 배설되어 있다. 즉, NMOS 트랜지스터(N52)의 드레인이 노드 SA에 접속된다. NMOS 트랜지스터(N52)의 소스가 NMOS 트랜지스터(N53, N55, N57, N59)의 드레인에 접속된다. NMOS 트랜지스터(N52)의 게이트전극에는 제어신호 PGM_RVPC가 공급된다.

NMOS 트랜지스터(N52)의 소스와 전압(VB0)의 공급라인 사이에 NMOS 트랜지스터(N53, N54)가 직렬로 접속된다. NMOS 트랜지스터(N52)의 소스와 전압(VB1)의 공급라인 사이에 NMOS 트랜지스터(N55, N56)가 직렬로 접속된다. NMOS 트랜지스터(N52)의 소스와 전압(VB2)의 공급라인 사이에 NMOS 트랜지스터(N57, N58)가 직렬로 접속된다. NMOS 트랜지스터(N52)의 소스와 전압(VB3)의 공급라인 사이에 NMOS 트랜지스터(N57, N60, N61)가 직렬로 접속되는 동시에 NMOS 트랜지스터(N61)와 병렬로 NMOS 트랜지스터(N65)가 접속된다.

또한, 노드 SA와 접지라인과의 사이에 NMOS 트랜지스터(N72, N73)가 직렬로 접속된다. NMOS 트랜지스터(N72)의 게이트전극은 신호 WVFHF의 공급라인에 접속된다. NMOS 트랜지스터(N73)의 게이트전극은 NMOS 트랜지스터(N61)의 게이트전극에 접속된다.

래치회로(LQ2, LQ1, LQ0)는 각각 기억노드(Q2, Q1, Q0) 및 그 반전기억노드 ($\bar{Q}2$, $\bar{Q}1$, $\bar{Q}0$)를 가진다. 또한 /는 반전을 나타내는 바(bar)를 의미한다.

래치회로(LQ2)의 반전기억노드($\bar{Q}2$)는 NMOS 트랜지스터(N54, N56)의 게이트전극에 접속된다. 래치회로(LQ2)의 기억노드(Q2)는 NMOS 트랜지스터(N57, N59)의 게이트전극에 접속된다.

래치회로(LQ1)의 반전기억노드($\bar{Q}1$)는 NMOS 트랜지스터(N53, N58)의 게이트전극에 접속된다. 래치회로(LQ1)의 기억노드(Q1)는 NMOS 트랜지스터(N55, N60)의 게이트전극에 접속된다.

래치회로(LQ0)의 반전기억노드($\bar{Q}0$)는 NMOS 트랜지스터(N61, N73)의 게이트전극에 접속된다. NMOS 트랜지스터(N61)와 병렬로 접속된 NMOS 트랜지스터(N65)의 게이트전극에는 제어신호 RD의 공급라인이 접속된다.

또, 래치회로(LQ2)의 기억노드(Q2), 래치회로(LQ1)의 기억노드(Q1), 래치회로(LQ0)의 기억노드(Q0) 각각과 접지라인과의 사이에 NMOS 트랜지스터(N62, N63, N64)가 각각 접속된다. NMOS 트랜지스터(N62, N63, N64)의 게이트전극이 리셋신호 RST의 공급라인에 접속된다.

독출/베리파이 제어회로(53)에 있어서, NMOS 트랜지스터(N66, N67, N68)의 게이트전극은 노드 SA에 접속된다. NMOS 트랜지스터(N66)의 드레인이 래치회로(LQ2)의 반전기억노드($\bar{Q}2$)에 접속된다. NMOS 트랜지스터(N67)의 드레인이 래치회로(LQ1)의 반전기억노드($\bar{Q}1$)에 접속된다. NMOS 트랜지스터(N68)의 드레인이 래치회로(LQ0)의 반전기억노드($\bar{Q}0$)에 접속된다.

NMOS 트랜지스터(N66)의 소스와 접지라인 사이에 NMOS 트랜지스터(N69)가 접속된다. NMOS 트랜지스터(N67)의 소스와 접지라인 사이에 NMOS 트랜지스터(N70)가 접속된다. NMOS 트랜지스터(N68)와 접지라인 사이에 NMOS 트랜지스터(N71)가 접속된다.

독출/베리파이 제어회로(53)로부터는 신호(ϕ LAT0, ϕ LAT1, ϕ LAT3)의 공급라인이 도출된다. NMOS 트랜지스터(N69)의 게이트전극이 신호(ϕ LAT0)의 공급라인에 접속된다. NMOS 트랜지스터(N70)의 게이트전극이 신호(ϕ LAT1)의 공급라인에 접속된다. NMOS 트랜지스터(N71)의 게이트전극이 신호(ϕ LAT2)의 공급라인에 접속된다.

래치회로(LQ2)의 기억노드(Q2)와 버스라인(IO0) 사이에 NMOS 트랜지스터(N81)가 접속되고, 래치회로(LQ1)의 기억노드(Q1)와 버스라인(IO1) 사이에 NMOS 트랜지스터(N82)가 접속되고, 래치회로(LQ0)의 기억노드(Q0)와 버스라인(IO2) 사이에 NMOS 트랜지스터(N83)가 접속된다.

또, 칼럼게이트로서 NMOS 트랜지스터(N81, N82, N83)의 게이트전극이 신호(YO_O)의 공급라인에 접속된다.

3-2. 제 3 실시형태의 기록시의 동작

다음에, 본 발명의 제 3 실시형태의 기록동작을 설명한다. 기록시의 기본적인 동작은 전술한 제 2 실시형태와 동일하다. 즉, 스탠바이(standby)시에는 신호 PGM_RVPC가 로레벨로 설정되고, NMOS 트랜지스터(N52)가

비도통상태(非導通狀態)로 유지되며, 비트선(BL0, BL1)이 래치회로에서 분리된다.

그리고, 신호 DIS가 하이레벨로 설정되고 신호 TRN, AiB, AiN가 ($V_{cc}-V_{th}$)로 설정되며, 비트선(BL0, BL1)이 접지레벨로 설정된다.

이 상태에서 기록이 기동된 경우, 신호 YO_O가 하이레벨로 설정되고, 기록 데이터가 래치회로(LQ2, LQ1, LQ0)에 넣어져서 유지된다.

그 후, 신호 DIS가 로레벨로 전환되고 비트선(BL0, BL1)이 접지라인에서 분리된다. 그리고 신호 TRN, AiB, AiN가 V_{cc} 이상인 하이레벨(예를 들면 독출시의 버스전압 P5V)로 설정되는 동시에 신호 Vref가 로레벨로 되고 PMOS 트랜지스터(P51)가 도통상태로 유지된다. 따라서 모든 비트선(BL0, BL1)이 전원전압 V_{cc} 으로 충전된다.

이 때 래치 데이터에 영향이 없도록 독출/베리파이를 제어하기 위한 신호($\phi_{LAT0}-\phi_{LAT2}$)가 접지레벨로 설정된다. 또, 메모리셀의 드레인측의 선택게이트의 게이트전극에 접속된 선택신호공급선 SSL이 전원전압 V_{cc} 로 설정된다.

기록시에는 어드레스신호로 선택되지 않는 쪽의 어드레스 예를 들면 AiN이 접지레벨로 되고, 또 신호 PGM_RVPC가 하이레벨로 설정된다. 그리고 전압(VB3)이 가장 높은 전압으로 되고, 전압(VB2)이 다음으로 높은 전압이 되고, 전압(VB1)이 다음으로 높은 전압으로 되며, 전압(VB0)은 접지레벨로 되도록 설정된다.

기록 데이터가 "00x"(x는 0 또는 1)일 경우에는 래치회로(LQ2, LQ1)의 반전노드(/Q2, /Q1)는 하이레벨이다. 따라서 NMOS 트랜지스터(N53, N54)가 도통상태로 되고, 비트선(BL0)은 전압(VB0)으로 되어 접지레벨로 설정된다.

기록 데이터가 "01x"일 경우에는 NMOS 트랜지스터(N55, N56)가 도통상태로 되고 비트선(BL0)은 전압(VB1)으로 설정된다.

기록 데이터가 "10x"일 경우에는 NMOS 트랜지스터(N57, N58)가 도통상태로 되고 비트선(BL0)은 전압(VB2)으로 설정된다.

기록 데이터가 "110"일 경우에는 NMOS 트랜지스터(N59, N60, N61)가 도통상태로 된다. NMOS 트랜지스터(N59, N60, N61)가 도통상태로 되면 비트선(BL0)은 전압(VB3)으로 설정된다.

기록 데이터가 "111"일 경우에는 전압(VB0-VB3)에서의 모든 버스도 비트선으로부터 차단된다. 따라서 비트선의 전압은 V_{cc} 레벨로 유지된다.

이상의 프로세스에 의해 선택 비트선(BL0)이 기록 데이터에 따른 전압으로 설정된 후, 워드선이 기록전압으로 설정되고 비선택 워드선이 기록 버스전압으로 설정되어 기록이 행해진다.

3-3. 제 3 실시형태의 베리파이의 동작

다음에 본 발명의 제 3 실시형태의 베리파이 독출 동작에 관하여, 도 20의 타이밍차트에 연관시켜 설명한다.

베리파이 독출시에는 워드선 전압에 따라 전압원(電壓源)(VB0-VB3)은 전술한 제 2 실시예와 같이 도 17A에 나타난 바와 같이 설정된다.

즉, 워드선 전압을 (VVF7)로 설정하고 있는 동안 및 워드선 전압을 (VVF6)로 설정하고 있는 동안에는 전압(VB0)이 전원전압 V_{cc} 로 설정되고 다른 전압(VB1, VB2, VB3)은 접지레벨로 설정된다.

워드선 전압을 (VVF5)로 설정하고 있는 동안과 워드선 전압을 (VVF4)로 설정하고 있는 동안에는 전압(VB1)이 전원전압 V_{cc} 로 설정되고 다른 전압(VB0, VB2, VB3)은 접지레벨로 설정된다.

워드선 전압을 (VVF3)로 설정하고 있는 동안과 워드선 전압을 (VVF2)로 설정하고 있는 동안에는 전압(VB2)이 전원전압 V_{cc} 로 설정되고 다른 전압(VB0, VB1, VB3)은 접지레벨로 설정된다.

워드선 전압을 (VVF1)로 설정하고 있는 동안에는 전압(VB3)이 전원전압 V_{cc} 로 설정되고 다른 전압(VB0, VB1, VB2)는 접지레벨로 설정된다.

또, 제어신호 WVFHF는 워드선 전압을 (VVF7, VVF5, VVF3, VVF1)로 설정하고 있는 동안에는 로레벨, 워드선 전압을 (VVF6, VVF4, VVF2)로 설정하고 있는 동안에는 하이레벨로 설정된다(프리차지시간을 제하고).

또, 베리파이시에는 제어신호 RD는 상시 로레벨로 설정된다. 따라서, 베리파이동작을 하고 있는 동안, NMOS 트랜지스터(N65)는 비도통이다.

베리파이에 앞서서 일정기간, 제어신호 DIS가 하이레벨, AiB, AiN이 P5V로 설정되고 모든 비트선(BL0, BL1)이 접지레벨로 된다.

그리고 나서 제어신호 DIS가 로레벨로 되돌려진 후, 어드레스 "Ai"로 선택되어 있지 않은 쪽, 예를 들면 AiN이 접지레벨로 되고, 비트선(BL1)이 래치회로에서 분리된다. 그리고 비트선을 클램프하기 위해 제어신호 TRN가 VTRN($V_{TRN} = V_{cc} - V_{th}$)으로 설정되고, 제어신호 Vref에 비트선의 리크를 보상하는 전류($< 1\mu A$)를 흐르게 하기 위한 전압이 인가된다.

우선, 선택 워드선 전압을(VVF7)로 설정하였을 때에 관하여 설명한다. 워드선 전압이 (VVF7)로 설정되어 있는 동안에는 전압(VB0)만 전원전압 V_{cc} 로 설정되고, 다른 전압(VB1, VB2, VB3)은 접지레벨로 설정된다. 그리고 일정기간 제어신호 PGM_RVPC가 전원전압 V_{cc} 레벨로 설정되고 NMOS 트랜지스터(N52)가 도통한다.

여기서 NMOS 트랜지스터(N53, N54)가 도통상태이면 전압(VB0)으로부터의 전원 V_{cc} 에 의해 비트선은 ($V_{TRN}-V_{th}$)로 충전되고, 충전후, N 채널 NMOS 트랜지스터(HN51)는 컷오프하고, 노드 SA는 V_{cc} 로 충전된다.

또, 다른 전압(VB1, VB2, VB3)은 접지레벨이므로 NMOS 트랜지스터(N53, N54)가 비도통상태이면 비트선은 충전되지 않고 접지레벨이다.

이와 같이, 워드선 전압을(VVF7)로 설정하고, 기록 데이터가 "000"인 베리파이가 행해질 때에는 NMOS 트랜지스터(N53, N54)가 도통상태일 때에만 비트선이 충전된다. NMOS 트랜지스터(N53, N54)가 도통상태로 되는 것은 래치회로(LQ2)의 반전노드(/Q2)가 하이레벨, 래치회로(LQ1)의 반전노드(/Q1)가 하이레벨로 될 때 뿐이고, 기록 데이터가 "00x"일 때이다.

이상으로부터 기록 데이터 "00x"일 때에만 비트선이 충전되고, 다른 기록 데이터일 때에는 비트선은 접지레벨로 되고 베리파이의 대상외로 된다.

이 상태에서, 제어신호 PGM_RVPC가 접지레벨로 되고, 선택비트선(BL0)이 비트선 전압발생회로(52)로부터 분리된다.

또, 워드선 전압을(VVF7)로 설정하고, 베리파이가 행해지고 있을 때에는 제어신호 WVFHF가 로레벨로 설정된다. 그리고, 일정시간 경과후 펄스상의 신호인 신호(ϕ LAT0, ϕ LAT1, ϕ LAT2)가 차례로 하이레벨로 설정된다.

여기서 메모리셀의 스레시홀드 전압 V_{th} 이 워드선 전압(VVF7) 보다 큰($V_{th} > VVF7$) 경우에는 셀에 전류가 흐르지 않으므로 비트선 전압은 변화되지 않고, 노드 SA는 전원전압 V_{cc} 로 유지되며 NMOS 트랜지스터(N66, N67, N68)가 도통상태로 유지된다. 이 경우 기록 데이터 "00x"일 때에만 베리파이의 대상으로 되므로,

① 기록 데이터가 "000"이고 메모리셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VVF7)을 초과하고 있는($V_{th} > VVF7$) 경우

② 기록 데이터가 "001"이고 메모리셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VVF7)을 초과하고 있는($V_{th} > VVF7$) 경우

가 생각될 수 있다.

그러나, 기록 데이터가 "001"이고 메모리셀의 스레시홀드 V_{th} 가 워드선 전압(VVF7)을 초과하면 워드선 전압(VVF6)으로 하였을 때의 베리파이에서 ($V_{th} > VVF6$)로 되고, 기록충분으로 판단되며, 래치회로는 "111"로 되므로 이후 기록은 이루어지지 않게 되고 이것은 통상적으로는 있을 수 없다.

①의 경우에 있어서의 베리파이 동작에 관하여 설명한다. 신호(ϕ LAT0)가 하이레벨인 기간에는 NMOS 트랜지스터(N69)가 도통상태로 바뀐다. 이 때 NMOS 트랜지스터(N66)가 도통상태에 있으므로 래치회로(LQ2)의 반전노드(/Q2)가 로레벨로 되고 래치회로(LQ2)의 노드(Q2)가 하이레벨로 반전한다.

신호(ϕ LAT1)가 하이레벨인 기간에는 NMOS 트랜지스터(N70)가 도통상태로 바뀐다. 이 때 NMOS 트랜지스터(N70)가 도통상태이고, NMOS 트랜지스터(N67)는 도통상태이므로 래치회로(LQ1)의 반전노드(/Q1)가 로레벨로 되고 래치회로(LQ1)의 노드(Q1)가 하이레벨로 반전한다.

신호(ϕ LAT2)가 하이레벨인 기간에는 NMOS 트랜지스터(N71)가 도통상태로 바뀐다. 이 때 NMOS 트랜지스터(N68)는 도통상태이므로, NMOS 트랜지스터(N67)는 도통상태이므로 래치회로(LQ0)의 반전노드(/Q0)가 로레벨로 되고 래치회로(LQ0)의 노드(Q0)가 하이레벨로 반전한다.

이상과 같이 워드선 전압을(VVF7)로 설정하였을 때에는 기록 데이터가 "000"인 메모리셀에서 그 스레시홀드 전압 V_{th} 가 워드선 전압(VVF7)보다 큰($V_{th} > VVF7$) 경우, 래치회로(LQ2, LQ1, LQ0)인 래치 데이터는 "111"로 반전하고, 이후 재기록에서는 비트선(BL0)은 전원전압 V_{cc} , 채널은 비기록 전위로 승압되어 기록되지 않는다.

한편, 메모리셀의 스레시홀드 전압 V_{th} 가 워드선 전압(VVF7)보다 작은($V_{th} < VVF7$) 경우에는 리크 보상전류보다 큰 셀 전류가 흘러 비트선 전압은 강하하고, NMOS 트랜지스터(HN51)가 온하며 전하의 재배분이 일어나고, 노드 SA의 전위는 비트선 전압과 거의 같은($V_{TRN}-V_{th}$)로 되고, NMOS 트랜지스터(N66, N67, N68)는 완전히 도통할 수 없다.

이 경우,

③ 기록 데이터가 "000"이고 메모리셀의 스레시홀드 V_{th} 가 워드선 전압(VVF7)보다 작은($V_{th} < VVF7$) 경우

④ 기록 데이터가 "001"이고 메모리셀의 스레시홀드 V_{th} 가 워드선 전압(VVF7)보다 작은($V_{th} < VVF7$) 경우

가 생각될 수 있다.

상기 경우에는 신호(ϕ LAT0)가 하이레벨인 기간에는 NMOS 트랜지스터(N69)가 도통상태로 되지만, NMOS 트랜지스터(N66)가 완전히 도통하지 않으므로 래치회로(LQ2)를 반전시키는 데 충분한 전류가 흐르지 않는다. 이 때문에 래치회로(LQ2)의 노드의 반전은 일어나지 않는다.

신호(ϕ LAT1)가 하이레벨인 기간에는 NMOS 트랜지스터(N70)는 도통상태로 되지만, NMOS 트랜지스터(N67)가 완전히 도통하지 않으므로 래치회로(LQ1)를 반전시키는 데 충분한 전류가 흐르지 않는다. 이 때문에 래치회로(LQ1)의 노드의 반전은 일어나지 않는다.

신호(ϕ LAT2)가 하이레벨인 기간에는 NMOS 트랜지스터(N71)가 도통상태로 되지만, NMOS 트랜지스터(N68)는 완전히 도통하지 않으므로 래치회로(LQ0)를 반전시키는 데 충분한 전류가 흐르지 않는다. 이 때문에 래치회로(LQ0)의 노드의 반전은 일어나지 않는다.

이상과 같이 워드선 전압을(VVF7)로 설정하였을 때에는 기록 데이터가 "000"인 메모리셀에서 그것의 스레시홀드 전압 V_{th} 가 워드선 전압(VVF7)보다 작은($V_{th} < VVF7$) 경우, 래치회로(LQ2, LQ1, LQ0)의 래치 데이터는 "000"인 채로 변화하지 않고, 재기록시에 비트선 전압이 기록전위로 설정되어 기록이 행해진다.

다음에, 선택 워드선 전압을 (VVF6)으로 설정하였을 때에 관하여 설명한다. 워드선 전압이 (VVF6)으로 설정되어 있는 동안에는 "000"인 베리파이와 동일하게 전압(VB0)만 전원전압 Vcc로 설정되고, 다른 전압(VB1, VB2, VB3)은 접지레벨로 설정된다. 그리고 일정기간, 제어신호 PGM_RVPC가 전원전압 Vcc 레벨로 설정되고, NMOS 트랜지스터(N52)가 도통한다.

이 때, 전술한 바와 같이, 기록 데이터가 '00x'인 메모리셀만 비트선이 충전되고, 다른 기록 데이터의 경우에는 비트선은 접지레벨로 되어 베리파이의 대상외로 된다.

또, 워드선 전압이 VVF6일 때에는, 제어신호 WVFHF가 하이레벨로 설정되고, NMOS트랜지스터(N72)가 도통한다.

이 때, 기록 데이터가 "000"인 메모리 셀에 대해서는, 래치회로(LQ0)의 반전노드(/Q0)는 하이레벨이 되고, NMOS트랜지스터(N73)가 도통한다. 이 때문에, 노드SA는 NMOS트랜지스터(N72, N73)를 통하여 접지레벨이 된다. 따라서, 기록 데이터가 "000"인 메모리 셀은, 베리파이의 대상외가 된다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ LAT0, ϕ LAT1)가 순차 하이레벨로 설정된다.

여기에서, 메모리 셀의 스레시홀드 전압Vth이 워드선 전압을 VVF6보다 큰($V_{th} > VVF6$) 경우에는, 셀에 전류가 흐르지 않음으로써, 비트선 전압은 변화하지 않고, 노드SA는 전원전압Vcc으로 유지되고, NMOS트랜지스터(N66, N67, N68)가 도통상태로 유지된다. 이 경우, 기록 데이터 "001" 일 때만 베리파이의 대상으로 되어 있다.

신호(ϕ LAT0)가 하이레벨인 기간에서는, NMOS트랜지스터(N69)가 도통상태로 전환한다. 이 때, NMOS트랜지스터(N66)는 도통상태이기 때문에, 래치회로(LQ2)의 반전노드(/Q2)가 로레벨이 되고, 래치회로(LQ2)의 노드(Q2)가 하이레벨로 반전한다.

신호(ϕ LAT1)가 하이레벨인 기간에서는, NMOS트랜지스터(N70)가 도통상태로 전환한다. 이 때, NMOS트랜지스터(N67)는 도통상태이기 때문에, 래치회로(LQ1)의 반전노드(/Q1)가 로레벨이 되고, 래치회로(LQ1)의 노드(Q1)가 하이레벨로 반전한다.

신호에 의하여, 워드선 전압을 VVF6으로 설정했을 때, 기록 데이터가 "001"인 메모리 셀이며, 그 스레시홀드 전압Vth이 워드선 전압 VVF6보다 큰($V_{th} > VVF6$) 경우, 래치회로(LQ2, LQ1, LQ0)의 래치 데이터는 "111"로 반전하고, 이후, 재기록에서는 비트선(BL0)은 전원전압Vcc으로 설정되고, 채널은 비기록전위로 부스트됨에 따라 아무런 데이터도 기록되지 않는다.

한편, 메모리 셀의 스레시홀드 전압Vth이 워드선 전압을 VVF6보다 작은 경우에는, 리크보상전류보다 큰 셀전류가 흐르고 비트선 전압은 하강하고, NMOS트랜지스터(HN51)가 켜져서, 전하의 재배분이 일어나고, 노드SA의 전위는 비트선 전압과 거의 같게($V_{TRN} - V_{th}$)된다. 노드SA의 전위가($V_{TRN} - V_{th}$)에서는, NMOS트랜지스터(N66, N67, N68)는 완전하게 도통할 수는 없다.

신호(ϕ LAT0)가 하이레벨인 기간에서는, NMOS트랜지스터(N69)가 도통상태가 되는데, NMOS트랜지스터(N66)가 완전하게 도통하지 않기 때문에, 래치회로(LQ2)를 반전시키는데 충분한 전류를 흐르게 할 수 없고, 래치회로(LQ2)의 노드의 반전은 일어나지 않는다.

신호(ϕ LAT1)가 하이레벨인 기간에서는, NMOS트랜지스터(N70)는 도통상태가 되는데, NMOS트랜지스터(N67)는 완전하게 도통하지 않기 때문에, 래치회로(LQ1)를 반전시키는데 충분한 전류를 흐르게 할 수 없고, 래치회로(LQ1)의 노드의 반전은 일어나지 않는다.

이상에 의하여, 워드선 전압을 VVF6으로 설정했을 때에는, 기록 데이터가 "001"인 메모리 셀이며, 그 스레시홀드 전압Vth이 워드선 전압VVF6보다 작은($V_{th} < VVF6$) 경우, 래치회로(LQ2, LQ1, LQ0)의 래치 데이터는 "001"인 채로 변화하지 않고, 재기록시에, 비트선 전압이 기록전위로 설정되어 기록이 행해진다.

다음으로, 선택워드선 전압을 VVF5로 설정했을 때에 대해서 설명한다. 선택워드선 전압이 VVF5로 설정되어 있는 사이에서는, 전압(VB1)만 전원전압Vcc으로 설정되고, 다른 전압(VB0, VB2, VB3)은 접지레벨로 설정되어 있다. 그리고, 일정 기간, 제어신호PGM_RVPC가 전원전압Vcc으로 설정되고, NMOS트랜지스터(N52)가 도통한다.

여기에서, NMOS트랜지스터(N55 및 N56)가 도통상태에 있으면, 전압(VB1)으로부터의 전원Vcc에 의하여, 비트선은($V_{TRN} - V_{th}$)로 충전되어 가고, 충전 후, NMOS트랜지스터(HN51)는 컷 오프하고, 노드SA는 Vcc로 충전된다. 또, 다른 전압(VB0, VB2, VB3)은 접지레벨이므로, NMOS트랜지스터(N55 및 N56)가 비도통상태라면, 비트선은 충전되지 않고, 접지레벨이다.

이와 같이, 워드선 전압을 VVF5로 설정하여, 기록 데이터가 "010"인 베리파이가 행해질 때에는, NMOS트랜지스터(N55 및 N56)가 도통상태일 때만, 비트선이 충전된다.

NMOS트랜지스터(N55 및 N56)가 도통상태가 되는 것은, 래치회로(LQ2)의 반전노드(/Q2)가 하이레벨, 래치회로(LQ1)의 노드(Q1)가 하이레벨이 될 때만이고, 기록 데이터가 "01x"일 때이다.

이것으로부터, 워드선 전압을 VVF5로 설정하여, 베리파이가 행할 때에는, 기록 데이터 "01x" 일 때에만, 비트선이 충전되고, 다른 기록 데이터일 때에는, 비트선은 접지레벨이 되며, 베리파이의 대상외가 된다.

이 상태에서, 워드선 전압을 VVF5로 설정하여, 베리파이 독출이 행해진다. 여기에서, 메모리 셀의 스레시홀드 전압Vth이 워드선 전압을 VVF5보다 큰($V_{th} > VVF5$) 경우에는, 셀에 전류가 흐르지 않음으로써, 비트선 전압은 변화하지 않고, 노드SA는 전원전압Vcc으로 유지되고, NMOS트랜지스터(N66, N67, N68)가 도통상태로 유지된다.

한편, 메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압을 V_{WF6} 보다 작은($V_{th} < V_{WF5}$) 경우에는, 리크보상전류보다 큰 셀전류가 흘러서 비트선 전압은 하강하고, NMOS트랜지스터(N_{65})가 켜져서, 전하의 재배분이 일어나며, 노드SA의 전위는 비트선 전압과 거의 같게($V_{TRN} - V_{th}$)되어, NMOS트랜지스터(N_{66} , N_{67} , N_{68})는 완전하게 도통할 수는 없다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ_{LAT0} , ϕ_{LAT2})가 순차 하이레벨로 설정된다.

기록 데이터가 "010"이고 메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압 V_{WF5} 보다 큰($V_{th} > V_{WF5}$) 경우에는, 신호(ϕ_{LAT0})가 하이레벨인 기간에서는, NMOS 트랜지스터 (N_{69})가 도통상태로 전환한다. 이 때, NMOS트랜지스터(N_{66})가 도통상태이기 때문에, 래치회로(LQ2)의 반전노드(/Q2)가 로레벨이 되고, 래치회로(LQ2)의 노드(Q2)가 하이레벨로 반전한다.

신호(ϕ_{LAT2})가 하이레벨인 기간에서는, NMOS트랜지스터(N_{71})가 도통상태로 전환한다. 이 때, NMOS트랜지스터(N_{68})는 도통상태이기 때문에, 래치회로(LQ0)의 반전노드(/Q0)가 로레벨이 되고, 래치회로(LQ0)의 노드(Q0)가 하이레벨로 반전한다.

이상에 의하여, 워드선 전압을 V_{WF5} 으로 설정했을 때에는, 기록 데이터가 "010"인 메모리 셀이며, 그 스레시홀드 전압 V_{th} 이 워드선 전압 V_{WF5} 보다 큰($V_{th} > V_{WF5}$) 경우, 래치회로(LQ2, LQ1, LQ0)의 래치데이터는 "111"로 반전하고, 이후, 재기록에서는 비트선은 전원전압 V_{cc} 으로 설정되고, 채널은 비기록전위로 부스트됨에 따라 아무런 데이터도 기록되지 않는다.

한편, 메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압 V_{WF5} 보다 작은($V_{th} < V_{WF5}$) 경우에는, 신호(ϕ_{LAT0})가 하이레벨인 기간에서는, NMOS 트랜지스터 (N_{69})가 도통상태가 되는데, NMOS트랜지스터(N_{66})가 완전하게 도통하지 않기 때문에, 래치회로(LQ2)를 반전시키는데 충분한 전류를 흐르게 할 수 없다. 이 때문에, 래치회로(LQ2)의 노드의 반전은 일어나지 않는다.

신호(ϕ_{LAT2})가 하이레벨인 기간에서는, NMOS트랜지스터(N_{71})가 도통상태가 되는데, NMOS트랜지스터(N_{68})는 완전하게 도통하지 않기 때문에, 래치회로(LQ0)를 반전시키는데 충분한 전류를 흐르게 할 수 없다. 이 때문에, 래치회로(LQ0)의 노드의 반전은 일어나지 않는다.

이상에 의하여, 워드선 전압을 V_{WF5} 로 설정했을 때에는, 기록 데이터가 "010"인 메모리 셀이며, 그 스레시홀드 전압 V_{th} 이 워드선 전압 V_{WF5} 보다 작은($V_{th} < V_{WF5}$) 경우, 래치회로(LQ2, LQ1, LQ0)의 래치 데이터는 "010"인 채로 변화하지 않고, 재기록 시에, 비트선 전압이 기록전위로 설정되어 기록이 행해진다.

다음으로, 워드선 전압을 V_{WF4} 로 설정했을 때에 대해서 설명한다. 워드선 전압 V_{WF4} 로 설정되어 있는 사이에서는, "010"인 베리파이와 같이, 전압(V_{B1})만 전원전압 V_{cc} 으로 설정되고, 다른 전압(V_{B0} , V_{B2} , V_{B3})은 접지레벨로 설정되어 있다. 그리고, 일정 시간, 제어신호PGM_RVPC가 전원전압 V_{cc} 로 설정된다.

이 때, 기록 데이터 "01x"일 때에만, 비트선이 충전되고, 다른 기록 데이터일 때에는, 비트선은 접지레벨이 되며, 베리파이의 대상외가 된다. 그리고, 제어신호 PGM_RVPC를 로레벨로 끌어내린 후, 제어신호 V_{WFHF} 를 하이레벨로 설정한다.

이 때, 기록 데이터가 "010"인 메모리 셀에 대해서는, 래치회로(LQ0)의 반전노드(/Q0)는 하이레벨이 되고, NMOS트랜지스터(N_{73})가 도통한다. 또, 이 때에는, 제어신호 V_{WFHF} 가 하이레벨로 설정되어 있기 때문에, NMOS트랜지스터(N_{72})가 도통하고 있다. 이 때문에, 비트선 및 노드SA는 NMOS트랜지스터(N_{72} , N_{73})를 통하여 접지레벨이 된다. 따라서, 기록 데이터가 "010"인 메모리 셀은, 베리파이의 대상외가 되고, 기록 데이터가 "011"인 메모리셀만이 베리파이의 대상이 된다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ_{LAT0})가 하이레벨로 설정된다.

여기에서, 기록 데이터가 "011"이고 메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압 V_{WF4} 보다 큰($V_{th} > V_{WF4}$) 경우에는, 셀에 전류가 흐르지 않음으로써, 비트선 전압은 변화하지 않고, 노드SA는 전원전압 V_{cc} 으로 유지되고, NMOS트랜지스터(N_{66} , N_{67} , N_{68})가 도통상태로 유지된다.

그리고, 신호(ϕ_{LAT0})가 하이레벨인 기간에서는, NMOS트랜지스터(N_{69})가 도통상태로 전환한다. 이 때, NMOS트랜지스터(N_{66})가 도통상태이기 때문에, 래치회로 (LQ2)의 반전노드(/Q2)가 로레벨이 되고, 래치회로(LQ2)의 노드(Q2)가 하이레벨로 반전한다.

이상에 의하여, 워드선 전압을 V_{WF4} 로 설정했을 때에는, 기록 데이터가 "011"인 메모리 셀이며, 그 스레시홀드 전압 V_{th} 이 워드선 전압 V_{WF4} 보다 큰($V_{th} > V_{WF4}$) 경우, 래치회로(LQ2, LQ1, LQ0)의 래치 데이터는 "111"로 반전하고, 이후, 재기록에서는 비트선은 전원전압 V_{cc} 으로 설정되고, 채널은 비기록전위로 부스트됨에 따라 아무런 데이터도 기록되지 않는다.

메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압 V_{WF4} 보다 작은($V_{th} < V_{WF4}$) 경우에는, NMOS트랜지스터(N_{66} , N_{67} , N_{68})는 완전히 도통할 수는 없다.

따라서, 신호(ϕ_{LAT0})가 하이레벨인 기간에서는, NMOS트랜지스터(N_{69})가 도통상태가 되는데, NMOS트랜지스터(N_{66})가 완전하게 도통하지 않기 때문에, 래치회로(LQ2)를 반전시키는데 충분한 전류를 흐르게 할 수 없으므로, 래치회로 (LQ2)의 노드의 반전은 일어나지 않는다.

이상에 의하여, 기록 데이터가 "011"인 메모리 셀이고, 그 스레시홀드 전압 V_{th} 이 워드선 전압 V_{WF4} 보다 작은($V_{th} < V_{WF4}$) 경우, 래치회로(LQ2, LQ1, LQ0)의 래치 데이터는 "011"인 채로 변화하지 않고, 재기록 시에, 비트선 전압이 기록전위로 설정되어 기록이 행해진다.

이하, 워드선 전압을 V_{WF3} , V_{WF2} , V_{WF1} 로 설정했을 때에는, 같은 동작으로 베리파이가 행해진다.

즉, 워드선 전압을 VWF3으로 설정하고 있을 때에는, 기록 데이터 "01x"일 때에만, 비트선이 충전되고, 다른 기록 데이터 일 때에는, 비트선은 접지레벨이 되며, 베리파이의 대상외가 된다. 그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ LAT1, ϕ LAT2)가 순차 하이레벨로 설정된다. 기록 데이터가 "100"인 메모리 셀에서, 그 스레시홀드 전압Vth이 워드선 전압VWF3보다 큰($V_{th} > VWF3$) 경우, 래치회로(LQ2, LQ1, LQ0)의 래치 데이터는 "111"로 반전하고, 이후, 재기록에서는 비트선은 전원전압Vcc로 설정되고, 채널은 비기록전위로 부스트됨에 따라 아무런 데이터도 기록되지 않는다. 기록 데이터가 "100"인 메모리 셀이며 그 스레시홀드 전압Vth이 워드선 전압VWF3보다 작은($V_{th} < VWF3$) 경우, 래치회로(LQ2, LQ1, LQ0)의 래치 데이터는 "100"인 채로 변화하지 않고, 재기록 시에, 비트선 전압이 기록전위로 설정되어 기록이 행해진다.

워드선 전압이 VWF2로 설정되어 있는 사이에서는, 기록 데이터 "10x"일 때에만, 비트선이 충전되고, 다른 기록 데이터일 때에는, 비트선은 접지레벨로 되며, 베리파이의 대상외가 된다. 비트선충전 종료 후, 제어신호VWFHF를 하이레벨로 설정하면, 기록 데이터가 "100"인 셀의 비트선은 GND레벨로 방전되어 베리파이의 대상외가 된다. 그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ LAT1)가 하이레벨로 설정된다. 기록 데이터가 "101"인 메모리 셀이며, 그 스레시홀드 전압Vth이 워드선 전압VWF2보다 큰($V_{th} > VWF2$) 경우, 래치회로(LQ2, LQ1, LQ0)의 래치데이터는 "111"로 반전하고, 이후, 재기록에서는 비트선(BL0)은 전원전압Vcc으로 설정되고, 채널은 비기록전위로 부스트됨에 따라 아무런 데이터도 기록되지 않는다. 기록 데이터가 "101"인 메모리 셀이며, 그 스레시홀드 전압Vth이 워드선 전압VWF2보다 작은($V_{th} < VWF2$) 경우, 래치회로(LQ2, LQ1, LQ0)의 래치 데이터는 "101"인 채로 변화하지 않고, 재기록 시에, 비트선 전압이 기록전위로 설정되어 기록이 행해진다.

워드선 전압이 VWF1로 설정되어 있는 사이에서는, 기록 데이터 "110"일 때에만, 비트선이 충전되고, 다른 기록 데이터일 때에는, 비트선은 접지레벨로 되며, 베리파이의 대상외가 된다. 그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ LAT2)가 하이레벨로 설정된다. 기록 데이터가 "110"인 메모리 셀이며, 그 스레시홀드 전압Vth이 워드선 전압VWF1보다 큰($V_{th} > VWF1$) 경우, 래치회로(LQ2, LQ1, LQ0)의 래치 데이터는 "111"로 반전하고, 이후, 재기록에서는 비트선(BL0)은 전원전압Vcc으로 설정되고, 채널은 비기록전위로 부스트됨에 따라 아무런 데이터도 기록되지 않는다. 기록 데이터가 "110"인 메모리 셀이며, 그 스레시홀드 전압Vth이 워드선 전압VWF1보다 작은($V_{th} < VWF1$) 경우, 래치회로(LQ2, LQ1, LQ0)의 래치 데이터는 "110"인 채로 변화하지 않고, 재기록 시에, 비트선 전압이 기록전위로 설정되어 기록이 행해진다.

3-4. 제3의 실시의 형태의 독출 시의 동작

다음으로, 본 발명의 제3의 실시의 형태의 독출동작에 대해서 도15를 참조하여 설명한다. 독출 시의 기본적인 동작은, 상술한 제2의 실시예와 같다. 즉, 스태바이 시에는, 제어신호TRN, AiB, AiN는($V_{cc}-V_{th}$)의 레벨에 있고, 제어신호DIS는 하이레벨로 설정된다. 이 때, NMOS트랜지스터(N51)가 도통상태가 되고, 전(全)비트선은 접지레벨이 된다.

이 상태에서 독출동작이 가동되면, 제어신호DIS가 로레벨이 되고, 비트선은 접지라인으로부터 분리된다. 그리고, 선택비트선이 예를 들면 짝수비트선인 경우, AiB가 P5V레벨, AiN이 접지레벨로 설정되고, 홀수비트선은 래치로부터 분리되고, 제어신호TRN는 ($V_{cc}-V_{th}(=V_{TRN})$)으로 유지된다. 이와 동시에, 제어신호RST에 하이레벨이 설정되고, 래치회로(LQ2, LQ1, LQ0)의 노드(Q2, Q1, Q0)가 전부 "0"으로 리셋된다.

독출동작은, 워드선을 VRD7, VRD6, VRD5, VRD4, VRD3, VRD2, VRD1로 순차 내려서 행해진다. 독출 시에는, 도11B에 나타난 것과 같이, 전압(VB0)은 Vcc레벨, 전압(VB1), 전압(VB2), 전압(VB3)은 접지레벨로 항상 설정된다. 그리고, 이 기간 중, 제어신호Vref에 비트선의 리크를 보상하는 전류를 흐르게 하기 위한 전압이 인가되어 있다.

또, 독출제어신호RD는 항상 하이레벨로 설정되고, NMOS트랜지스터(N65)는, 독출의 사이, 항상, 도통상태에 있다. 또, 독출 시에는, 신호VWFHF는 항상 로레벨이기 때문에, 트랜지스터(N72)는 항상 켜져 있다.

먼저, 선택워드선 전압이 VRD7로 설정되고, 제어신호PGM_RVPC가 전원전압Vcc로 설정되고, NMOS트랜지스터(N52)가 도통상태로 설정된다.

여기에서, NMOS트랜지스터(N54, N53)가 도통상태에 있으면, 전압(VB0)으로부터의 전류가 NMOS트랜지스터(N54, N53, N52)를 통하여 흐르고, 비트선이 충전된다. 독출의 개시 시에는, 래치회로(LQ2, LQ1, LQ0)가 전부 "0"으로 리셋되어 있기 때문에, 래치회로(LQ2)의 반전노드(/Q2)는 "1", 래치회로(LQ1)의 반전노드(/Q1)는 "1"이다. 따라서, 이 때, NMOS트랜지스터(N54, N53)가 도통상태이다.

따라서, 전압(VB0)으로부터의 전류가 NMOS트랜지스터(N54, N53, N52)를 통하여 흐르고, 모든 짝수비트선은 ($V_{TRN}-V_{th}$)로 충전되고, NMOS트랜지스터(N51)가 컷 오프됨으로써, 모든 노드SA는 Vcc로 충전된다. 그 후, 제어신호PGM_RVPC가 접지레벨로 돌아온다.

워드선 전압이 VRD7에서의 독출 결과, 메모리 셀의 스레시홀드 전압Vth이 워드선 전압VRD7보다 큰($V_{th} > VRD7$) 경우, 셀전류가 흐르지 않음으로써, 노드SA는 전원전압Vcc으로 유지된다. 이 때, NMOS트랜지스터(N66, N67, N68)가 도통상태가 된다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ LAT0, ϕ LAT1, ϕ LAT2)가 순차 하이레벨로 설정된다.

신호(ϕ LAT0)가 하이레벨로 설정되면, NMOS트랜지스터(N69)가 도통상태로 설정된다. 그리고, NMOS트랜지스터(N66)는 도통하고 있다. 따라서, 래치회로(LQ2)의 반전노드(/Q2)가 "0"이 되고, 래치회로(LQ2)의 노드(Q2)가 "1"로 반전한다.

신호(ϕ LAT1)가 하이레벨로 설정되면, NMOS트랜지스터(N70)가 도통상태로 설정된다. 그리고, NMOS트랜지스터(N67)는 도통하고 있다. 따라서, 래치회로(LQ1)의 반전노드(/Q1)가 "0"이 되고, 래치회로(LQ1)의 노드(Q1)가 "1"로 반전한다.

신호(ϕ LAT2)가 하이레벨로 설정되면, NMOS트랜지스터(N71)가 도통상태로 설정된다. 그리고, NMOS트랜지스터(N68)는 도통하고 있다. 따라서, 래치회로(LQ0)의 반전노드(/Q0)가 "0"이 되고, 래치회로(LQ0)의 노드(Q1)가 "1"로 반전한다.

이상에 의하여, 메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압(VRD7)보다 큰($V_{th} > VRD7$) 경우, 래치회로(LQ2, LQ1, LQ0)의 래치 데이터가 "111"로 반전한다. 그리고, 독출데이터는 반전하고 있고, 래치 데이터가 "111"일 때의 독출 데이터는, "000"이다.

한편, 메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압VRD7이하($V_{th} < VRD7$)이면, 리크보상전압보다 큰 셀전류가 흐르고 비트선 전압은 하강하고, NMOS트랜지스터(HN51)가 도통상태가 되어, 전하의 재분배가 일어나며, 노드SA의 전압은 비트선 전압과 거의 같게(VTRN- V_{th})된다. 이 때문에, NMOS트랜지스터(N66, N67, N68)는 완전하게 도통하지 않는다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ LAT0, ϕ LAT1, ϕ LAT2)가 순차 하이레벨로 설정된다.

신호(ϕ LAT0)가 하이레벨로 설정되면, NMOS트랜지스터(N69)가 도통상태로 설정된다. 그러나, NMOS트랜지스터(N66)는 완전하게 도통하고 있지 않기 때문에, 래치회로(LQ2)를 반전시키기 위한 충분한 전류를 흐르게 할 수는 없고, 래치회로(LQ2)의 노드의 반전은 일어나지 않는다.

신호(ϕ LAT1)가 하이레벨로 설정되면, NMOS트랜지스터(N70)가 도통상태로 설정된다. 그러나, NMOS트랜지스터(N67)는 완전하게 도통하고 있지 않기 때문에, 래치회로(LQ1)를 반전시키기 위한 충분한 전류를 흐르게 할 수는 없고, 래치회로(LQ1)의 노드의 반전은 일어나지 않는다.

신호(ϕ LAT2)가 하이레벨로 설정되면, NMOS트랜지스터(N71)가 도통상태로 설정된다. 그러나, NMOS트랜지스터(N68)는 완전하게 도통하고 있지 않기 때문에, 래치회로(LQ0)를 반전시키기 위한 충분한 전류를 흐르게 할 수는 없고, 래치회로(LQ0)의 노드의 반전은 일어나지 않는다.

다음으로, 선택워드선 전압이 VRD6으로 설정되고, 제어신호PGM_RVPC가 전원전압Vcc으로 설정되고, NMOS트랜지스터(N52)가 도통상태로 설정된다.

전회에 선택워드선 전압이 VRD7로 설정하여 독출을 행할 때에 래치회로(LQ1 및 LQ2)의 노드의 반전이 일어나고 있지 않는 셀에 연결된 비트선은, 전압(VB0)으로부터의 전류가 NMOS트랜지스터(N54, N53, N52)를 통하여 흐르고, (VTRN- V_{th})로 충전되며, NMOS트랜지스터(HN51)가 컷 오프함으로써, 그 노드SA는 Vcc로 충전된다.

전회에 선택워드선 전압이 VRD7로 설정하여 독출을 행할 때에 래치회로(LQ1 및 LQ2)의 노드의 반전이 일어나고 있으면, NMOS트랜지스터(N54, N53)가 비도통상태가 된다. 이 경우에는, 독출동작의 대상외가 된다. 그 후, 제어신호PGM_RVPC가 접지레벨로 돌아온다.

워드선 전압이 VRD6에서의 독출 결과, 메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압VRD6보다 큰($V_{th} < VRD6$) 경우, 셀전류가 흐르지 않음으로써, 노드SA는 전원전압Vcc으로 유지된다. 이 때, NMOS트랜지스터(N66, N67, N68)가 도통상태가 된다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ LAT0, ϕ LAT1)가 순차 하이레벨로 설정된다.

신호(ϕ LAT0)가 하이레벨로 설정되면, NMOS트랜지스터(N69)가 도통상태로 설정된다. 그리고, NMOS트랜지스터(N66)는 도통하고 있기 때문에, 래치회로(LQ2)의 반전노드(/Q2)가 "0"이 되고, 래치회로(LQ2)의 노드(Q2)가 "1"로 반전한다.

신호(ϕ LAT1)가 하이레벨로 설정되면, NMOS트랜지스터(N70)가 도통상태로 설정된다. 그리고, NMOS트랜지스터(N67)는 도통하고 있기 때문에, 래치회로(LQ1)의 반전노드(/Q1)가 "0"이 되고, 래치회로(LQ1)의 노드(Q1)가 "1"로 반전한다.

이상에 의하여, 메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압VRD6보다 큰($V_{th} > VRD6$) 경우, 전회까지 래치의 반전이 일어나지 않으면, 래치회로(LQ2, LQ1, LQ0)의 래치 데이터가 "110"으로 반전한다. 전회까지 래치의 반전이 일어나고 있으면, 그 데이터가 유지된다. 그리고, 독출 데이터는 반전하고 있고, 래치데이터가 "110"일 때의 독출데이터는, "001"이다.

메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압VRD6보다 작은($V_{th} < VRD6$) 경우에는, 리크보상전압보다 큰 셀전류가 흐르고 비트선 전압은 하강하고, NMOS트랜지스터(HN51)가 도통상태가 되어, 전하의 재분배가 일어나며, 노드SA의 전압은 비트선 전압과 거의 같게(VTRN- V_{th})된다. 이 때문에, NMOS트랜지스터(N66, N67, N68)는 완전하게 도통하지 않는다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ LAT0, ϕ LAT1, ϕ LAT2)가 순차 하이레벨로 설정된다.

신호(ϕ LAT0)가 하이레벨로 설정되면, NMOS트랜지스터(N69)가 도통상태로 설정된다. 그러나, NMOS트랜지스터(N66)는 완전하게 도통하고 있지 않기 때문에, 래치회로(LQ2)를 반전시키기 위한 충분한 전류를 흐르게 할 수는 없고, 래치회로(LQ2)의 노드의 반전은 일어나지 않는다.

신호(ϕ LAT1)가 하이레벨로 설정되면, NMOS트랜지스터(N70)가 도통상태로 설정된다. 그러나, NMOS트랜지스터(N67)는 완전하게 도통하고 있지 않기 때문에, 래치회로(LQ1)를 반전시키기 위한 충분한 전류를 흐르게 할 수는 없고, 래치회로(LQ1)의 노드의 반전은 일어나지 않는다.

다음으로, 선택워드선 전압이 VRD5로 설정되고, 제어신호PGM_RVPC가 전원전압Vcc으로 설정되고, NMOS트랜지스터(N52)가 도통상태로 설정된다.

여기에서, 전회까지 노드의 반전이 일어나지 않으면, NMOS트랜지스터(N54, N53)가 도통상태가 되기 때문에,

전압(VB0)에 의하여 비트선이 충전된다. 이 때, 독출대상의 짝수비트선은 (VTRN-Vth')으로 충전되고, NMOS 트랜지스터(HN51)가 컷 오프함으로써, 독출대상의 노드SA는 Vcc로 충전된다.

전회까지의 독출로, 래치회로(LQ1 및 LQ2)의 노드의 반전이 일어나고 있으면, NMOS트랜지스터(N54, N53)가 비도통상태가 된다. 이 경우에는, 독출동작의 대상외가 된다.

그 후, 제어신호PGM_RVPC가 접지레벨로 돌아온다.

워드선 전압이 VRD5에서의 독출 결과, 메모리 셀의 스레시홀드 전압Vth이 워드선 전압VRD5보다 큰(Vth>VRD5) 경우, 셀전류가 흐르지 않음으로써, 노드SA는 전원전압Vcc으로 유지된다. 이 때, NMOS트랜지스터(N66, N67, N68)가 도통상태가 된다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ LAT0, ϕ LAT2)가 순차 하이레벨로 설정된다.

신호(ϕ LAT0)가 하이레벨로 설정되면, NMOS트랜지스터(N69)가 도통상태로 설정된다. 그리고, NMOS트랜지스터(N66)는 도통하고 있기 때문에, 래치회로(LQ2)의 반전노드(/Q2)가 "0"이 되고, 래치회로(LQ2)의 노드(Q2)가 "1"로 반전한다.

신호(ϕ LAT2)가 하이레벨로 설정되면, NMOS트랜지스터(N71)가 도통상태로 설정된다. 그리고, 메모리 셀의 스레시홀드 전압Vth이 워드선 전압VRD5보다 큰 경우, NMOS트랜지스터(N68)는 도통하고 있다. 따라서, 메모리 셀의 스레시홀드 전압Vth이 워드선 전압VRD5보다 큰 경우, 신호(ϕ LAT2)가 하이레벨로 설정되면, 래치회로(LQ0)의 반전노드(/Q0)가 "0"이 되고, 래치회로(LQ0)의 노드(Q0)가 "1"로 반전한다.

이상에 의하여, 메모리 셀의 스레시홀드 전압Vth이 워드선 전압VRD5보다 큰(Vth>VRD5) 경우, 전회까지 래치의 반전이 일어나지 않으면, 래치회로(LQ2, LQ1, LQ0)의 래치 데이터가 "101"로 반전한다. 전회까지 래치의 반전이 일어나고 있으면, 그 데이터가 유지된다. 그리고, 독출데이터는 반전하고 있고, 래치 데이터가 "101"일 때의 독출 데이터는, "010"이다.

메모리 셀의 스레시홀드 전압Vth이 워드선 전압VRD5이하(Vth<VRD5)이면, 리크보상전압보다 큰 셀전류가 흘러서 비트선 전압은 하강하고, NMOS트랜지스터(HN51)가 도통상태가 되어, 전하의 재분배가 일어나며, 노드SA의 전압은 비트선 전압과 거의 같게(VTRN-Vth')된다. 이 때문에, NMOS트랜지스터(N66, N67, N68)는 완전하게 도통하지 않는다.

그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ LAT0, LAT2)가 순차 하이레벨로 설정된다.

신호(ϕ LAT0)가 하이레벨로 설정되면, NMOS트랜지스터(N69)가 도통상태로 설정된다. 그러나, NMOS트랜지스터(N66)는 완전하게 도통하고 있지 않기 때문에, 래치회로(LQ2)를 반전시키기 위한 충분한 전류를 흐르게 할 수는 없고, 래치회로(LQ2)의 노드의 반전은 일어나지 않는다.

신호(ϕ LAT2)가 하이레벨로 설정되면, NMOS트랜지스터(N71)가 도통상태로 설정된다. 그러나, NMOS트랜지스터(N68)는 완전하게 도통하고 있지 않기 때문에, 래치회로(LQ0)를 반전시키기 위한 충분한 전류를 흐르게 할 수는 없고, 래치회로(LQ0)의 노드의 반전은 일어나지 않는다.

다음으로, 선택워드선 전압이 VRD4로 설정되어, 독출이 행해진다. 그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ LAT0)가 하이레벨로 설정된다.

워드선 전압이 VRD4에서의 독출 결과, 메모리 셀의 스레시홀드 전압Vth이 워드선 전압VRD4보다 큰(Vth>VRD4) 경우, 셀전류가 흐르지 않음으로써, 노드SA는 전원전압Vcc으로 유지된다. 이 때, NMOS트랜지스터(N66, N67, N68)가 도통상태가 된다.

신호(ϕ LAT0)가 하이레벨로 설정되면, NMOS트랜지스터(N69)가 도통상태로 설정된다. 그리고, NMOS트랜지스터(N66)는 도통하고 있기 때문에, 래치회로(LQ2)의 반전노드(/Q2)가 "0"이 되고, 래치회로(LQ2)의 노드(Q2)가 "1"로 반전한다.

이상에 의하여, 메모리 셀의 스레시홀드 전압Vth이 워드선 전압VRD4보다 큰(Vth>VRD4) 경우, 전회까지 래치의 반전이 일어나지 않으면, 래치회로(LQ2, LQ1, LQ0)의 래치데이터가 "100"으로 반전한다. 전회까지 래치의 반전이 일어나지 않으면, 그 데이터가 유지된다. 그리고, 독출 데이터는 반전하고 있고, 래치 데이터가 "100"일 때의 독출 데이터는, "011"이다.

메모리 셀의 스레시홀드 전압Vth이 워드선 전압VRD4보다 작은(Vth<VRD4) 경우에는, 리크보상전압보다 큰 셀전류가 흘러서 비트선 전압은 하강하고, NMOS트랜지스터(HN51)가 도통상태가 되어, 전하의 재분배가 일어나며, 노드SA의 전압은 비트선 전압과 거의 같게(VTRN-Vth')된다. 이 때문에, NMOS트랜지스터(N66, N67, N68)는 완전하게 도통하지 않는다.

신호(ϕ LAT0)가 하이레벨로 설정되면, NMOS트랜지스터(N69)가 도통상태로 설정된다. 그러나, NMOS트랜지스터(N66)는 완전하게 도통하고 있지 않기 때문에, 래치회로(LQ2)를 반전시키기 위한 충분한 전류를 흐르게 할 수는 없고, 래치회로(LQ2)의 노드의 반전은 일어나지 않는다.

이하, 마찬가지로 하여, 독출이 행해진다. 즉, 선택워드선 전압이 VRD3으로 설정되어, 독출이 행해진다. 그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ LAT1, ϕ LAT2)가 순차 하이레벨로 설정된다.

이로써, 메모리 셀의 스레시홀드 전압Vth이 워드선 전압VRD3보다 큰(Vth>VRD3) 경우, 전회까지 래치의 반전이 일어나지 않으면, 래치회로(LQ2, LQ1, LQ0)의 래치 데이터가 "011"로 반전한다. 그리고, 독출 데이터는 반전하고 있고, 래치 데이터가 "011"일 때의 독출 데이터는, "100"이다. 메모리 셀의 스레시홀드 전압Vth이 워드선 전압VRD3보다 작은 경우, 신호(ϕ LAT1, ϕ LAT2)가 하이레벨로 설정되어도, 래치회로(LQ1, LQ0)를 반전시키기 위한 충분한 전류를 흐르게 할 수는 없고, 래치회로(LQ1, LQ0)의 노드의 반전은 일어나지 않는다.

다음으로, 선택워드선 전압이 VRD2로 설정되어, 독출이 행해진다. 그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ LAT1)가 하이레벨로 설정된다. 이로써, 메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압VRD2보다 큰($V_{th} > VRD2$) 경우, 전회까지 래치의 반전이 일어나지 않으면, 래치회로(LQ2, LQ1, LQ0)의 래치 데이터가 "010"으로 반전한다. 그리고, 독출 데이터는 반전하고 있고, 래치 데이터가 "010"일 때의 독출 데이터는, "101"이다. 메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압VRD2보다 작은 경우, 신호(ϕ LAT1)가 하이레벨로 설정되어도, 래치회로(LQ1)를 반전시키기 위한 충분한 전류를 흐르게 할 수는 없고, 래치회로(LQ1)의 노드의 반전은 일어나지 않는다.

다음으로, 선택워드선 전압이 VRD1로 설정되어, 독출이 행해진다. 그리고, 일정 시간 경과 후, 펄스형의 신호인 신호(ϕ LAT2)가 하이레벨로 설정된다.

이로써, 메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압VRD1보다 큰($V_{th} > VRD1$) 경우, 전회까지 래치의 반전이 일어나지 않으면, 래치회로(LQ2, LQ1, LQ0)의 래치 데이터가 "001"로 반전한다. 그리고, 독출 데이터는 반전하고 있고, 래치 데이터가 "001"일 때의 독출 데이터는, "110"이다. 메모리 셀의 스레시홀드 전압 V_{th} 이 워드선 전압VRD1보다 작은 경우, 신호(ϕ LAT2)가 하이레벨로 설정되어도, 래치회로(LQ0)를 반전시키기 위한 충분한 전류를 흐르게 할 수는 없고, 래치회로(Q0)의 노드의 반전은 일어나지 않는다.

선택워드선 전압을 VRD7-VRD1로 설정하여, 어느 것이라도, 래치의 반전이 일어나지 않으면, 래치회로(LQ2, LQ1, LQ0)의 데이터는 "000"이 된다. 래치 데이터가 "000"일 때의 독출 데이터는 "111"이다.

상술한 바와 같이, 이 실시의 형태에서는, 독출 시에는, 전회까지의 독출로 래치회로의 데이터의 반전이 생긴 경우에는, 독출의 대상으로 하고, 전회까지의 독출로 래치회로의 데이터의 반전이 생기지 않는 경우만, 독출을 행하고 있다. 이와 같은 구성에 의하여, 회로규모의 축소를 도모할 수 있다.

4. 실시예

상술한 제1 실시의 형태에서는, 메모리 셀에 4치의 데이터를 기록하고, 또, 제2 실시의 형태 및 제3 실시의 형태에서는, 메모리 셀에 8치의 데이터를 기록하도록 하고 있지만, 이것에 한정된 것은 아니다. 예를 들면, 메모리 셀에 16값의 데이터를 기록하도록 해도 좋다.

또, 상술한 제1, 제2 및 제3 실시의 형태에서는, 베리파이 동작 시에, 워드선 전압을 스레시홀드 전압의 분포 상태에 따라서($2n-1$)단계로 전환하고, 래치되어 있는 데이터에 따라서 비트선을 프리차지한다/하지 않는다는 것을 제어하고 있다.

즉, 제1 실시의 형태에 있어서는, 워드선 전압을 VVF3로 설정할 때에는, 전압(VB0)에만 Vcc의 전압이 주어지고, 전압(VB1, VB2)은 접지레벨이다. 따라서, 래치회로에 래치되어 있는 기록 데이터가 "00"일 때에만, NMOS 트랜지스터($n3, n4$)가 도통상태가 되고, 비트선을 프리차지하고, 그 외의 데이터일 때에는, 비트선을 프리차지하지 않는다.

마찬가지로, 워드선 전압을 VVF2로 설정할 때에는, 전압(VB1)에만 Vcc의 전압이 주어지고, 전압(VB0, VB2)은 접지레벨이며, 래치회로에 래치되어 있는 기록 데이터가 "01"일 때에만 비트선을 프리차지하고, 그 외의 데이터일 때에는, 비트선을 프리차지하지 않는다. 워드선 전압을 VVF1로 설정할 때에는, 전압(VB2)에만 Vcc의 전압이 주어지고, 전압(VB0, VB1)은 접지레벨이며, 래치회로에 래치되어 있는 기록 데이터가 "10"일 때에만 비트선을 프리차지하고, 그 외의 데이터일 때에는, 비트선을 프리차지하지 않는다.

또, 제2 실시의 형태 및 제3 실시의 형태에 있어서는, 워드선 전압을 VVF7 및 VVF6으로 설정할 때에는, 전압(VB0)에만 Vcc의 전압이 주어지고, 전압(VB1, VB2)은 접지레벨이다. 따라서, 래치회로에 래치되어 있는 기록 데이터가 "00x"일 때에만, NMOS 트랜지스터($N3, N4$)가 도통상태가 되고, 비트선을 프리차지하고, 그 외의 데이터일 때에는, 비트선을 프리차지하지 않는다.

마찬가지로, 워드선 전압을 VVF5 및 VVF4로 설정할 때에는, 전압(VB1)에만 Vcc의 전압이 주어지고, 전압(VB0, VB2, VB3)은 접지레벨이며, 래치회로에 래치되어 있는 기록 데이터가 "01x"일 때에만 비트선을 프리차지하고, 그 외의 데이터일 때에는, 비트선을 프리차지하지 않는다. 워드선 전압을 (VVF3 및 VVF2)로 설정할 때에는, 전압(VB2)에만 Vcc의 전압이 주어지고, 전압(VB0, VB1, VB3)은 접지레벨이며, 래치회로에 래치되어 있는 기록 데이터가 "10x"일 때에만 비트선을 프리차지하고, 그 외의 데이터일 때에는, 비트선을 프리차지하지 않는다. 워드선 전압을 VVF1로 설정할 때에는, 전압(VB3)에만 Vcc의 전압이 주어지고, 전압(VB0, VB1, VB2)은 접지레벨이며, 래치회로에 래치되어 있는 기록 데이터가 "110"일 때에만 비트선을 프리차지하고, 그 외의 데이터일 때에는, 비트선을 프리차지하지 않는다.

이와 같이 하여 베리파이를 행할 때, 제3 실시의 형태에서는, 최하위 비트에 대해서는, 최하위 비트의 노드의 상태를 NMOS 트랜지스터($N19$ 및 $N23$)의 게이트에 주고, 그 반전노드의 상태를 NMOS 트랜지스터 게이트($N12, N25$)에 주며, 최하위 비트의 래치회로의 상태에 따라서, 래치회로(LQ2, LQ1, LQ0)의 설정/불설정으로 제어하는 구성으로 하고 있다.

또한, 제3 실시의 형태에서는, 이와 같이 하여 베리파이를 행할 때, 래치회로(LQ0)에 래치되는 최하위 비트에 대해서는, NMOS 트랜지스터($N72, N73$)에 의하여, 최하위 비트의 상태에 따라서, 비트선이 디스차지하도록 제어한다.

이와 같이, 최하위 비트의 래치회로의 상태에 따라서 래치회로(LQ2, LQ1), 의 설정/불설정으로 제어하거나, 비트선의 디스차지를 금지하도록 제어하거나 하지 않고, 래치 데이터의 모든 비트를 판별하여, 비트선의 프리차지를 한다/하지 않는다는 것을 제어하도록 해도 좋다.

또, 독출 시에, 그때까지 래치회로의 노드반전이 없을 때에만, 비트선을 프리차지하도록 제어하고, 전회까지 래치회로의 노드의 반전이 있으면, 비트선에 프리차지 전류가 흐르지 않도록 하고 있다. 즉, 제1 실시의 형태에 있어서의 독출 시에는, 전압(VB0)만 Vcc로 하고, 전압(VB1, VB2)은 접지레벨로 한다. 그때까지의 독출로

래치회로의 반전이 일어나고 있지 않을 때에만, NMOS트랜지스터(n_4 , n_3)가 도통하고, 전압(V_{B0})에 의하여 비트선이 프리차지되어 데이터의 독출이 행해지고, 래치회로에 독출 데이터가 설정된다. 그때까지의 독출로 래치회로의 반전이 일어나고 있으면, 비트선의 프리차지가 행해지지 않게 되고, 그때까지의 데이터가 유지된다. 또, 제2 및 제3 실시의 형태에 있어서의 독출 시에는, 전압(V_{B0})만 V_{cc} 로 하고, 전압(V_{B1} , V_{B2} , V_{B3})은 접지레벨로 한다. 그때까지의 독출로 래치회로의 반전이 일어나지 않을 때에만, NMOS트랜지스터(N_4 , N_3)가 도통하고, 전압(V_{B0})에 의하여 비트선이 프리차지되어 데이터의 독출이 행해지며, 래치회로에 독출데이터가 설정된다. 그때까지의 독출로 래치회로의 반전이 일어나고 있으면, 비트선의 프리차지가 행해지지 않게 되고, 그때까지의 데이터가 유지된다.

상술한 제2 실시의 형태 및 제3 실시의 형태에서는, 래치회로(LQ2, LQ1)의 데이터로부터, 래치회로의 반전이 일어나고 있는지 어떤지를 판단하도록 하고 있지만, 래치회로(LQ2, LQ1, LQ0)의 모든 데이터로부터, 래치회로의 반전이 일어나고 있는지 어떤지를 판단하도록 해도 좋다.

발명의 효과

본 발명에 의하면, 베리파이 동작 시에, 워드선 전압을 스레시홀드 전압의 분포상태에 따라서 ($2n-1$)단계로 설정하고, 래치회로에 래치되어 있는 데이터에 따라서 비트선을 프리차지한다/하지 않도록 제어하고, 메모리 셀에 전류가 흐르는지 어떤지에 의하여 메모리 셀의 스레시홀드가 워드선에 인가된 전압을 넘고 있는지 어떤지를 검출하며, 검출 출력에 따라서 래치회로를 확정하여, 베리파이 시에 데이터가 충분히 기록되면 래치회로에 소정의 데이터가 설정되도록 하고 있다. 이로써, 회로규모의 축소를 도모할 수 있다.

본 발명에 의하면, 베리파이 제어수단을, 최하위 비트를 빼고 래치회로에 소정의 데이터가 래치되어 있을 때에만, 비트선에 프리차지 전류를 흐르도록 제어하는 수단과, 최하위 비트의 상태에 따라서, 래치회로의 상태를 설정 불가능하도록 제어하는 수단과를 포함하도록 구성함으로써, 회로규모의 축소를 도모할 수 있다.

본 발명에 의하면, 베리파이 제어수단은, 최하위 비트를 빼고 래치회로에 소정의 데이터가 래치되어 있을 때에만, 비트선에 프리차지 전류를 흐르도록 제어하는 수단과, 최하위 비트의 상태에 따라서, 비트선이 디스차지하도록 제어하는 수단과를 포함하도록 함으로써, 또한, 회로규모의 축소를 도모할 수 있다.

본 발명에 의하면, 독출 시에, 워드선 전압을 스레시홀드 전압의 분포상태에 따라서 ($2n-1$)단계로 전환하고, 전회까지 래치회로의 노드의 반전이 일어나지 않을 때에만, 비트선을 프리차지하고, 메모리 셀에 전류가 흐르는지 어떤지에 의하여 메모리 셀의 스레시홀드가 워드선에 인가된 전압을 넘고 있는지 어떤지를 검출하고, 검출 출력에 따라서 래치회로를 확정하여, 독출 시에 래치회로에 격납된 독출 데이터가 설정되도록 하고 있다. 이로써, 회로규모의 삭감을 도모할 수 있다.

(57) 청구의 범위

청구항 1

워드선 및 비트선에의 인가전압에 따라 전하축적부에 축적된 전하량이 변화하고, 그 변화에 따라 스레시홀드 전압이 변화하고, 스레시홀드 전압에 따른 값의 데이터를 기억하는 메모리셀을 가지고, n 비트의 다치(多値) 데이터를 메모리셀에 기입하는 불휘발성 반도체장치로서,

기입시에 기입데이터가 래치되는 동시에, 베리파이에 데이터가 충분히 기입되면 소정의 데이터로 설정되고, 또한 독출시에 독출데이터가 설정되는 n 개의 래치회로와,

기입시에 상기 래치회로에 래치되어 있는 데이터에 따른 비트선 전압으로 설정하는 기입제어수단과,

베리파이에, 워드선 전압을 스레시홀드 전압의 분포상태에 따라 설정하고, 상기 메모리셀의 스레시홀드 전압이 상기 워드선에 인가된 전압을 초과하고 있는가 여부에 따라 상기 래치회로를 확정하고, 상기 베리파이에 데이터가 충분히 기입되면 상기 래치회로에 소정의 데이터가 설정되도록 제어하는 베리파이 제어수단과,

독출시에, 워드선 전압을 스레시홀드 전압의 분포상태에 따라 설정하고, 상기 메모리셀의 스레시홀드 전압이 상기 워드선에 인가된 전압을 초과하고 있는가 여부에 따라 상기 래치회로를 확정하고, 독출된 데이터가 래치회로에 설정되도록 제어하는 독출제어수단과를 구비하고,

상기 베리파이 제어수단은, 베리파이 동작시에, 워드선 전압을 스레시홀드 전압의 분포상태에 따라 복수의 단계로 설정하고, 상기 래치회로에 래치되어 있는 데이터에 따라 상기 비트선을 프리차지 하도록 또는 하지 않도록 제어하고, 상기 메모리셀에 전류가 흐르는가 여부에 따라 상기 메모리셀의 스레시홀드 전압이 상기 워드선에 인가된 전압을 초과하고 있는가 여부를 검출하고, 상기 검출출력에 따라 상기 래치회로를 확정하여, 상기 베리파이에 데이터가 충분히 기입되면 상기 래치회로에 소정의 데이터가 설정되도록 한 것을 특징으로 하는 불휘발성 반도체 기억장치.

청구항 2

제1항에 있어서, 상기 메모리셀은, 그 일단 및 타단이 게이트전압에 따라 도통상태가 제어되는 선택 트랜지스터를 통하여 비트선 및 소스선에 접속된 메모리스트링(memory string)으로 이루어지도록 한 것을 특징으로 하는 불휘발성 반도체 기억장치.

청구항 3

제1항에 있어서, 상기 베리파이제어수단은,

최하위 비트를 제하고 상기 래치회로에 소정의 데이터가 래치되어 있을 때에만, 상기 비트선에 프리차지 전류가 흐르도록 제어하는 수단과,

상기 최하위 비트의 상태에 따라, 상기 래치회로의 상태가 반전되지 않도록 제어하는 수단과를 포함하는 것을 특징으로 하는 불휘발성 반도체 기억장치.

청구항 4

제1항에 있어서, 상기 베리파이제어수단은,

최하위 비트를 제하고 상기 래치회로에 소정의 데이터가 래치되어 있을 때에만, 상기 비트선에 프리차지 전류가 흐르도록 제어하는 수단과,

상기 최하위 비트의 상태에 따라, 상기 상기 비트선이 디스차지 하도록 제어하는 수단과를 포함하는 것을 특징으로 하는 불휘발성 반도체 기억장치.

청구항 5

제1항에 있어서, 상기 메모리셀에는, ($n = 2$) 비트의 다치 데이터를 기입하도록 한 것을 특징으로 하는 불휘발성 반도체 기억장치.

청구항 6

제1항에 있어서, 상기 메모리셀에는, ($n = 3$) 비트의 다치 데이터를 기입하도록 한 것을 특징으로 하는 불휘발성 반도체 기억장치.

청구항 7

워드선 및 비트선에서의 인가전압에 따라 전하축적부에 축적된 전하량이 변화하고, 그 변화에 따라 스레시홀드 전압이 변화하고, 스레시홀드 전압에 따른 값의 데이터를 기억하는 메모리셀을 가지고, n 비트의 다치 데이터를 메모리셀에 기입하는 불휘발성 반도체장치로서,

기입시에 기입데이터가 래치되는 동시에, 베리파이에 데이터가 충분히 기입되면 소정의 데이터로 설정되고, 또한 독출시에 독출데이터가 설정되는 n 개의 래치회로와,

기입시에 상기 래치회로에 래치되어 있는 데이터에 따른 비트선 전압으로 설정하는 기입제어수단과,

베리파이에, 워드선 전압을 스레시홀드 전압의 분포상태에 따라 설정하고, 상기 메모리셀의 스레시홀드 전압이 상기 워드선에 인가된 전압을 초과하고 있는가 여부에 따라 상기 래치회로를 확정하고, 상기 베리파이에 데이터가 충분히 기입되면 상기 래치회로에 소정의 데이터가 설정되도록 제어하는 베리파이 제어수단과,

독출시에, 워드선 전압을 스레시홀드 전압의 분포상태에 따라 설정하고, 상기 메모리셀의 스레시홀드 전압이 상기 워드선에 인가된 전압을 초과하고 있는가 여부에 따라 상기 래치회로를 확정하고, 독출된 데이터가 래치회로에 설정되도록 제어하는 독출제어수단과를 구비하고,

상기 독출제어수단은, 독출시에, 워드선 전압을 스레시홀드 전압의 분포상태에 따라 복수의 단계로 설정하고, 전회까지에 상기 래치회로의 노드의 반전이 생기지 않을 때에만, 상기 비트선을 프리차지 하고, 상기 메모리셀에 전류가 흐르는가 여부에 따라 상기 메모리셀의 스레시홀드 전압이 상기 워드선에 인가된 전압을 초과하고 있는가 여부를 검출하고, 상기 검출출력에 따라 상기 래치회로를 확정하여, 상기 독출시에 상기 래치회로에 독출 데이터가 설정되도록 한 것을 특징으로 하는 불휘발성 반도체 기억장치.

청구항 8

제7항에 있어서, 상기 메모리셀은, 그 일단 및 타단이 게이트전압에 따라 도통상태가 제어되는 선택 트랜지스터를 통하여 비트선 및 소스선에 접속된 메모리스트링으로 이루어지도록 한 것을 특징으로 하는 불휘발성 반도체 기억장치.

청구항 9

제7항에 있어서, 상기 메모리셀에는, ($n = 2$) 비트의 다치 데이터를 기입하도록 한 것을 특징으로 하는 불휘발성 반도체 기억장치.

청구항 10

제7항에 있어서, 상기 메모리셀에는, ($n = 3$) 비트의 다치 데이터를 기입하도록 한 것을 특징으로 하는 불휘발성 반도체 기억장치.

청구항 11

워드선 및 비트선에서의 인가전압에 따라 전하축적부에 축적된 전하량이 변화하고, 그 변화에 따라 스레시홀드 전압이 변화하고, 스레시홀드 전압에 따른 값의 데이터를 기억하는 메모리셀을 가지고, n 비트의 다치 데이터를 메모리셀에 기입하는 불휘발성 반도체장치의 베리파이방법으로서,

워드선 전압을 스레시홀드 전압의 분포상태에 따라 복수의 단계로 설정하는 스텝과,

상기 래치회로에 래치되고 있는 데이터에 따라 상기 비트선을 프리차지 하도록 또는 하지 않도록 제어하는 스

템과,

상기 메모리셀에 전류가 흐르는가 여부에 따라 상기 메모리셀의 스레시홀드가 상기 워드선에 인가된 전압을 넘고 있는가 여부를 검출하는 스텝과,

상기 검출출력에 따라 상기 래치회로를 확정하여, 상기 베리파이 시에 데이터가 충분히 기입되면 상기 래치회로에 소정의 데이터가 설정되도록 하는 스텝

으로 이루어지는 것을 특징으로 하는 불휘발성 반도체 기억장치의 베리파이방법.

청구항 12

워드선 및 비트선에의 인가전압에 따라 전하축적부에 축적된 전하량이 변화하고, 그 변화에 따라 스레시홀드 전압이 변화하고, 스레시홀드 전압에 따른 값의 데이터를 기억하는 메모리셀을 가지고, n비트의 다치 데이터를 메모리셀에 기입하는 불휘발성 반도체장치의 독출방법으로서,

워드선 전압을 스레시홀드 전압의 분포상태에 따라 복수의 단계로 설정하는 스텝과,

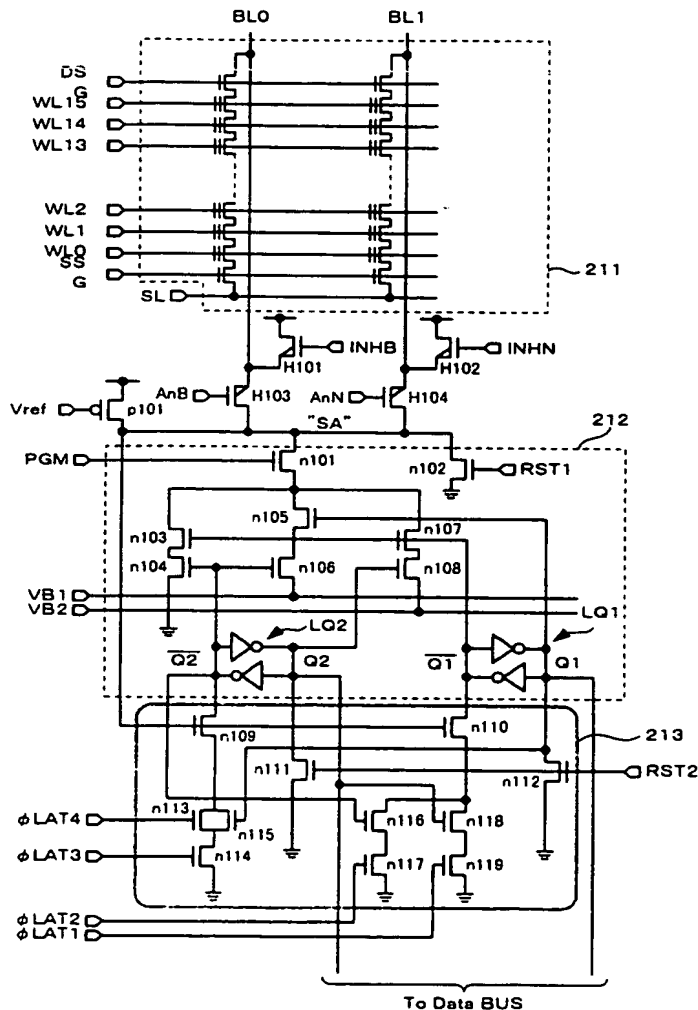
전회까지에 상기 래치회로의 노드의 반전이 생기지 않을 때에만, 상기 비트선을 프리차지 하는 스텝과,

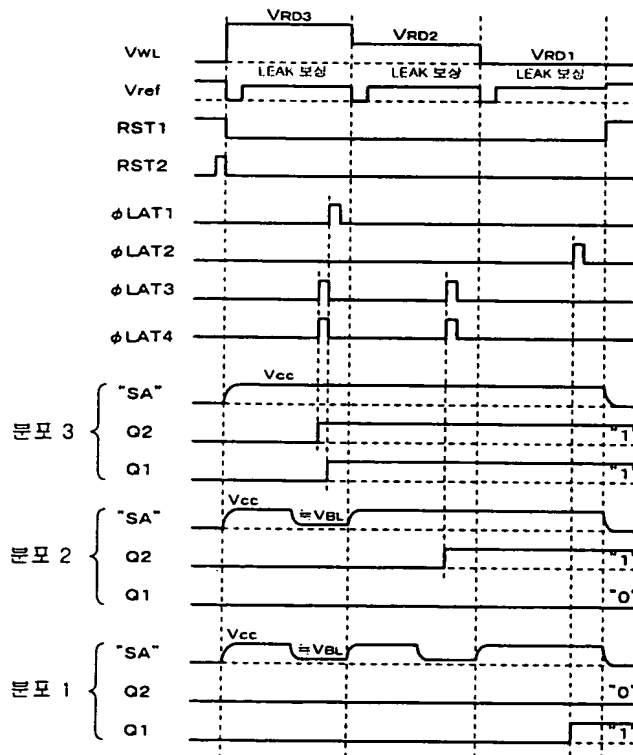
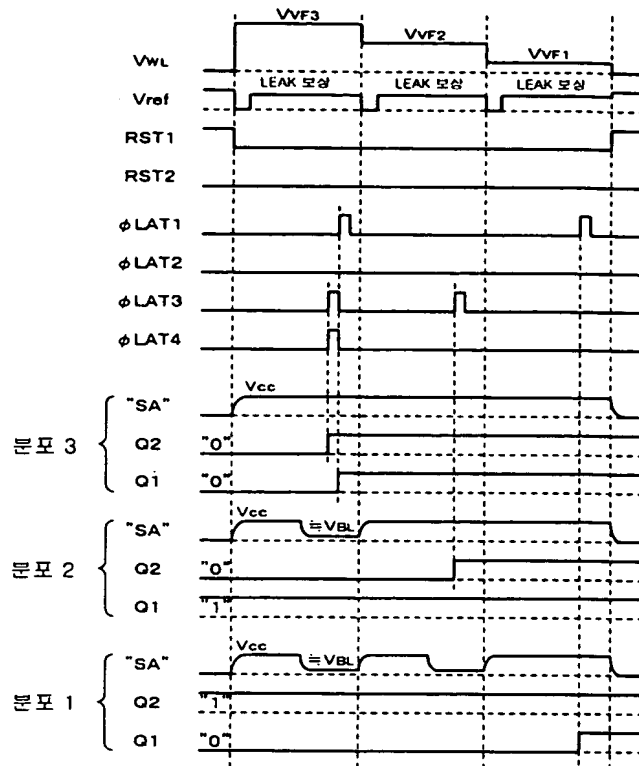
상기 메모리셀에 전류가 흐르는가 여부에 따라 상기 메모리셀의 스레시홀드 전압이 상기 워드선에 인가된 전압을 초과하고 있는가 여부를 검출하는 스텝과,

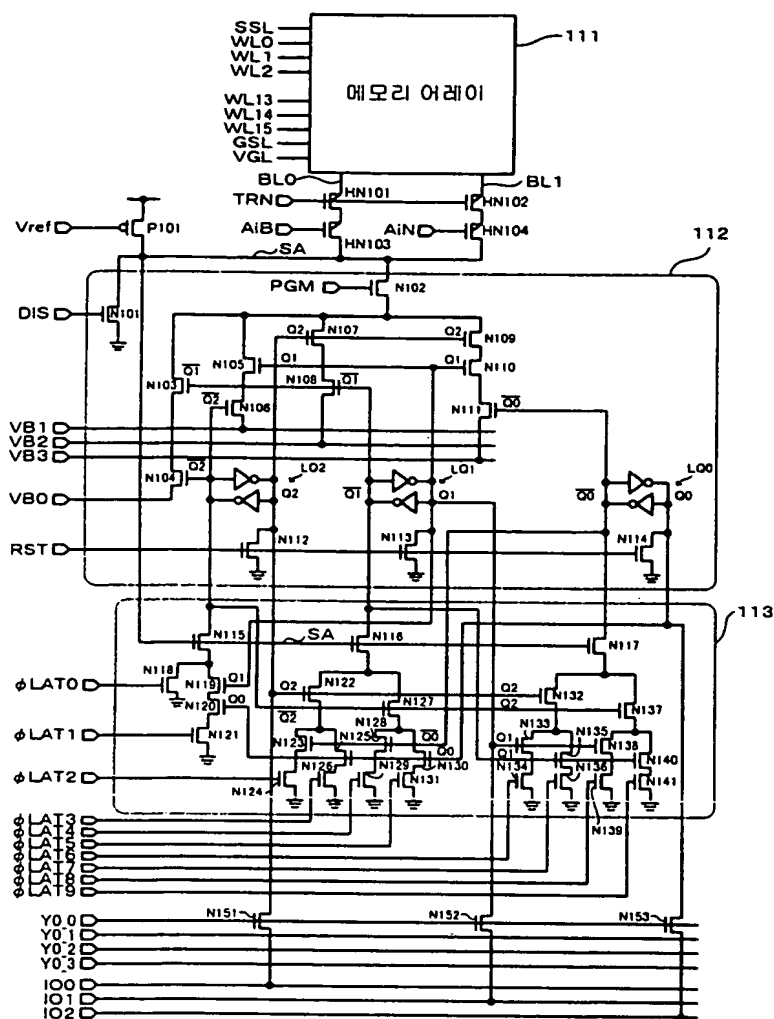
상기 검출출력에 따라 상기 래치회로를 확정하여, 상기 독출시에 상기 래치회로에 독출 데이터가 설정되도록 하는 스텝

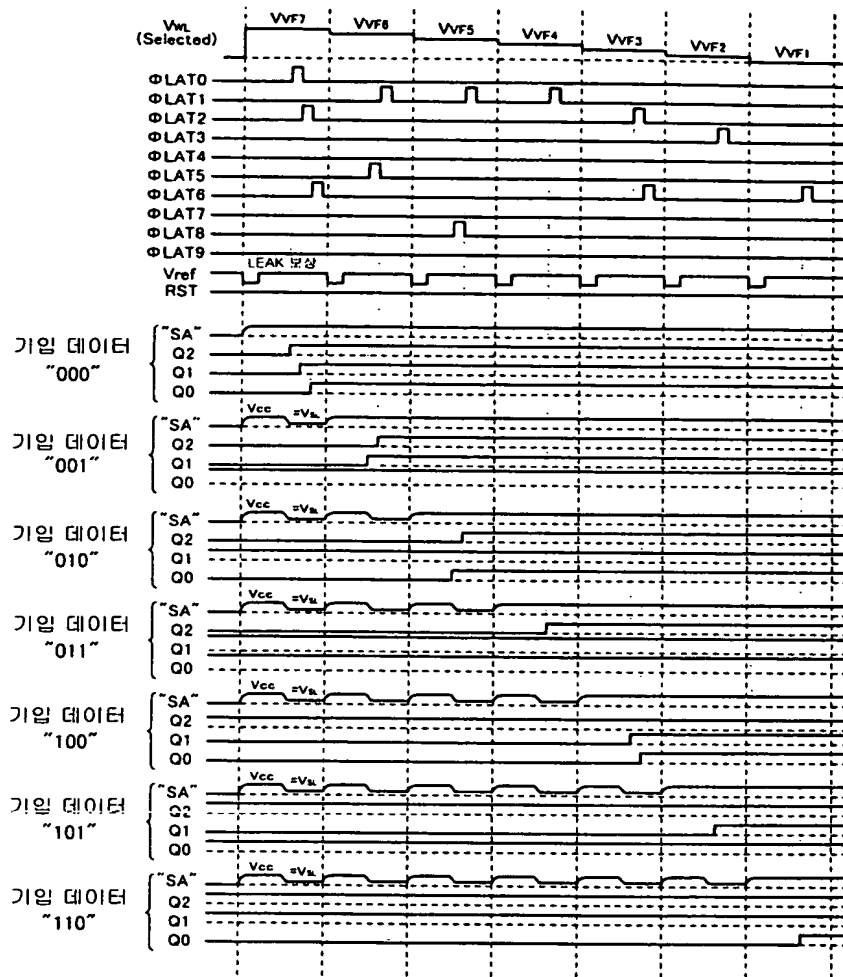
으로 이루어지는 것을 특징으로 하는 불휘발성 반도체 기억장치의 독출방법.

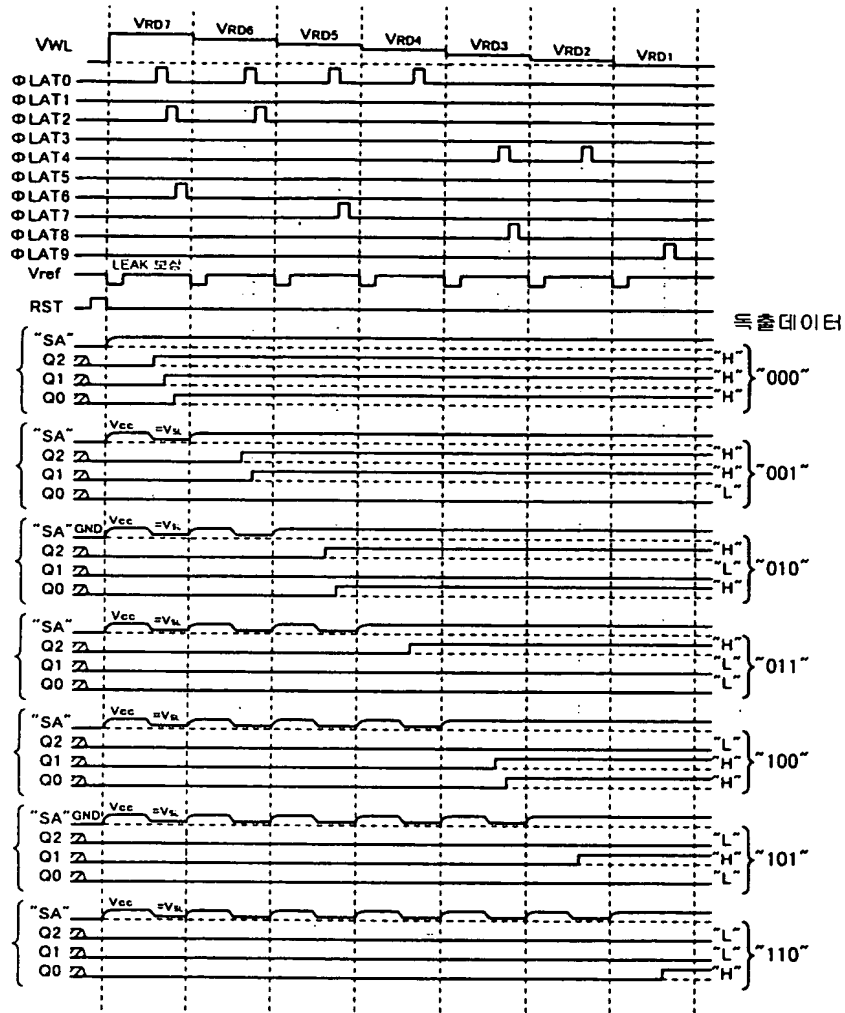
도면

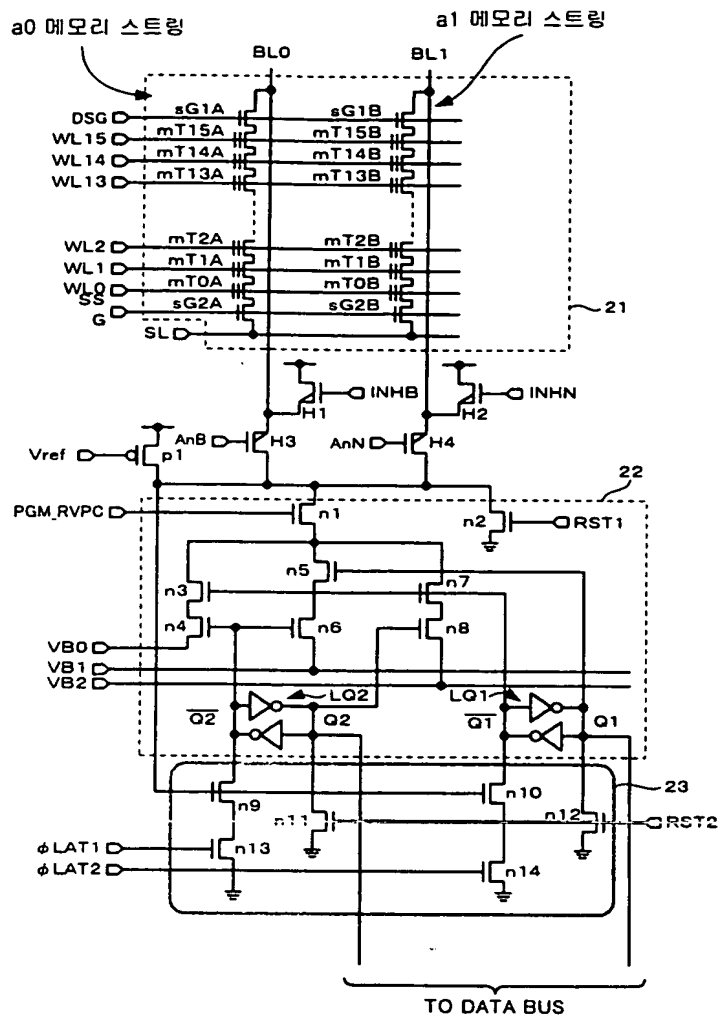


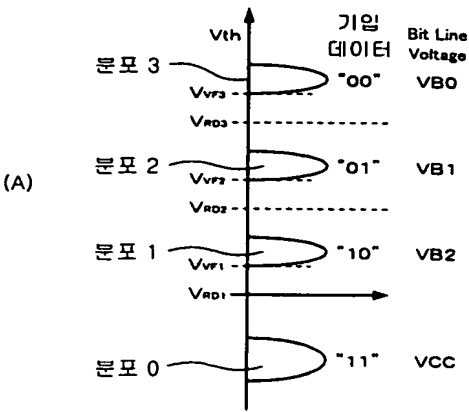










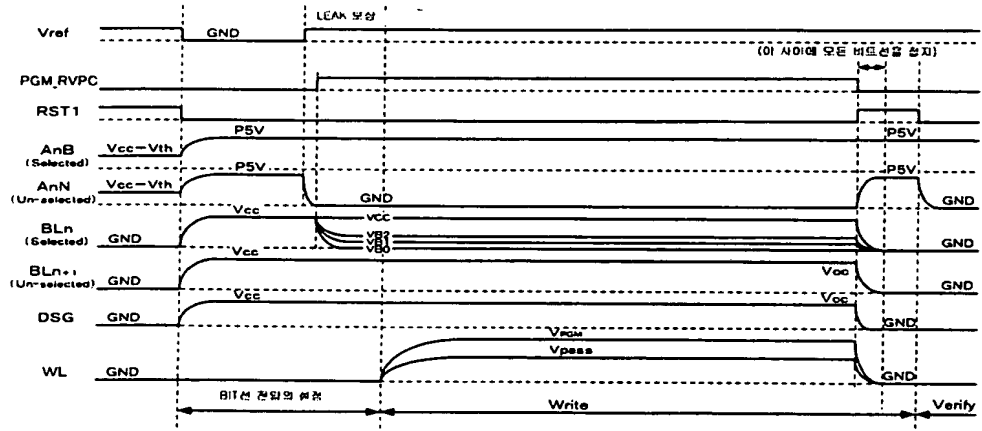


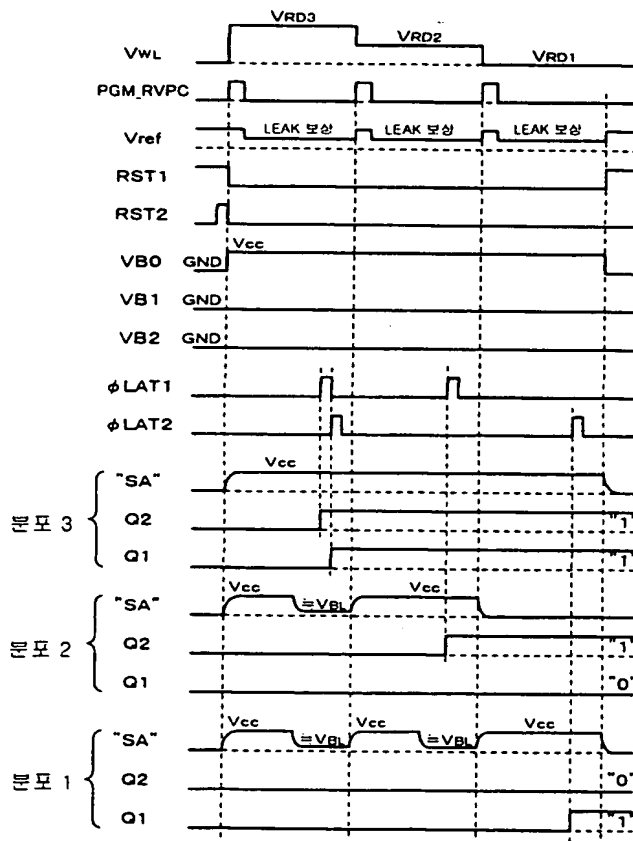
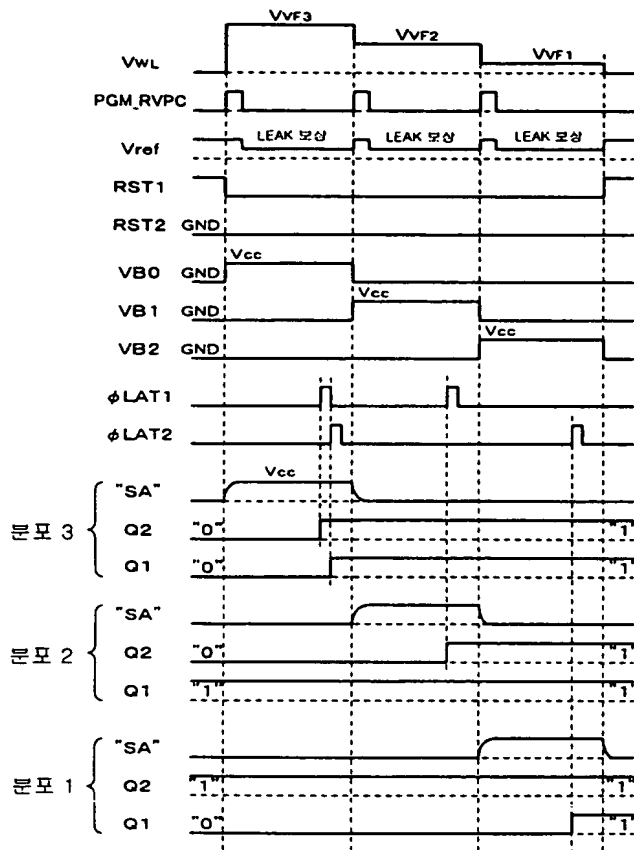
(B)

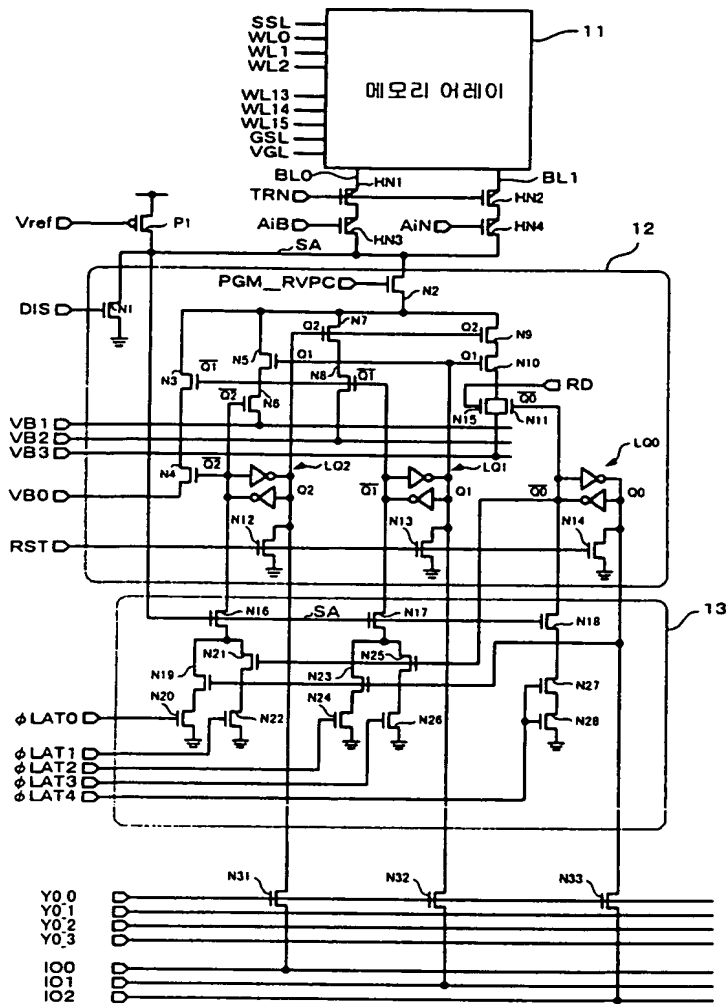
VB	VB0	VB1	VB2
VWL	VCC	GND	GND
VVF3	VCC	GND	GND
VVF2	GND	VCC	GND
VVF1	GND	GND	VCC

(C)

VB	VB0	VB1	VB2
VWL	VCC	GND	GND
VRD3	VCC	GND	GND
VRD2	VCC	GND	GND
VRD1	VCC	GND	GND

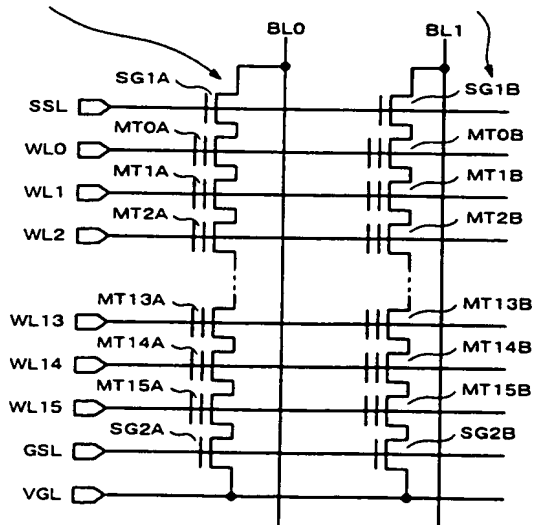


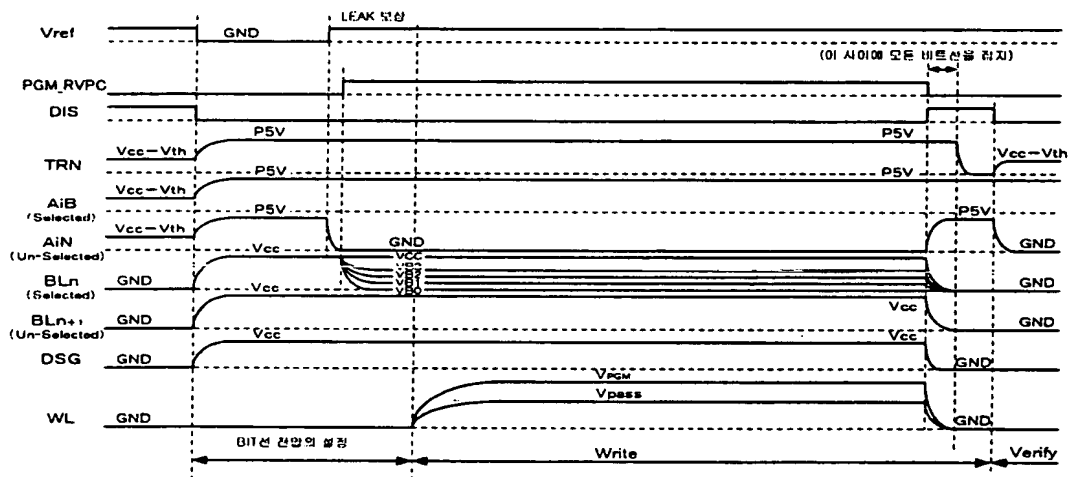
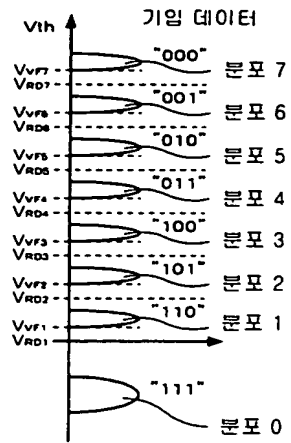


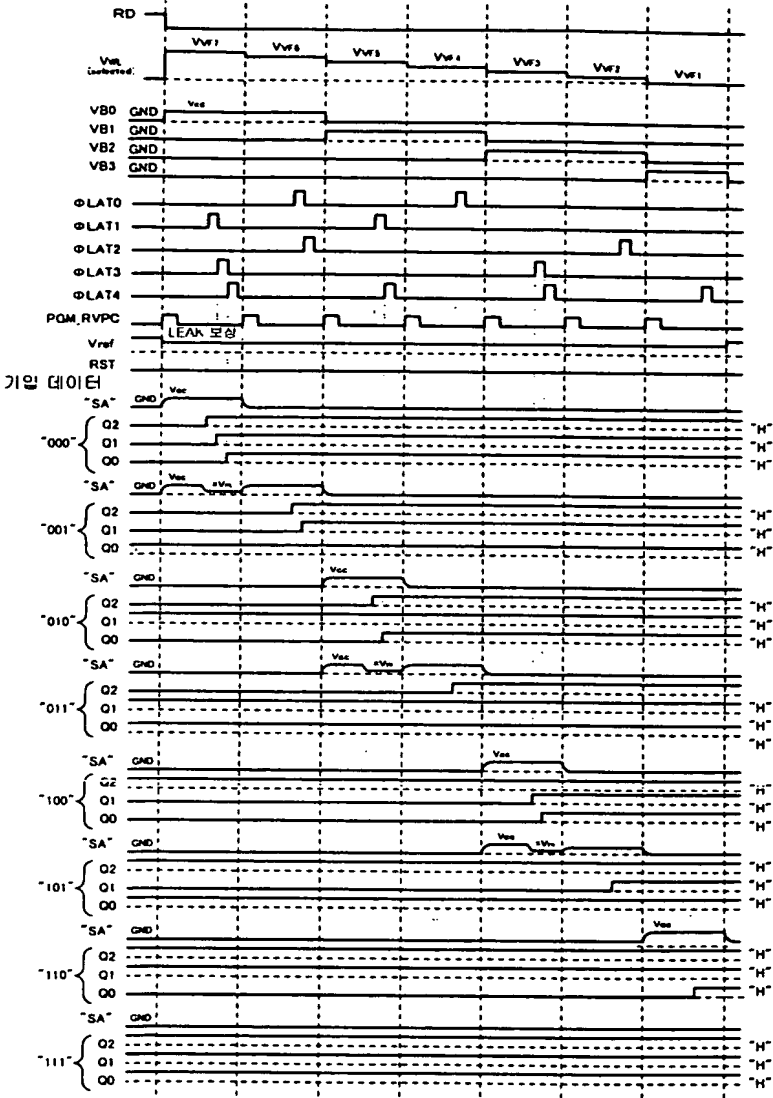


A0 메모리 스트링

A1 메모리 스트링







(A)

VB VWL	VB0	VB1	VB2	VB3
VVF7	Vcc	GND	GND	GND
VVF6	Vcc	GND	GND	GND
VVF5	GND	Vcc	GND	GND
VVF4	GND	Vcc	GND	GND
VVF3	GND	GND	Vcc	GND
VVF2	GND	GND	Vcc	GND
VVF1	GND	GND	GND	Vcc

(B)

VB VWL	VB0	VB1	VB2	VB3
VRD7	Vcc	GND	GND	GND
VRD6	Vcc	GND	GND	GND
VRD5	Vcc	GND	GND	GND
VRD4	Vcc	GND	GND	GND
VRD3	Vcc	GND	GND	GND
VRD2	Vcc	GND	GND	GND
VRD1	Vcc	GND	GND	GND

